

# XILINX USB ダウンロードケーブル

## 簡易マニュアル

株式会社日昇テクノロジー

http://www.csun.co.jp

info@csun.co.jp

2010/12/17



copyright@2010



## 修正履歴

NO	バージョン	修正内容	修正日
1	Ver1.0	新規作成	2010/8/25
2	Ver1.1	SPI 書込み手順を追加	2010/12/17

※ この文書の情報は、文書を改善するため、事前の通知なく変更されることがあります。最新版は弊社ホームページからご参照ください。
 「<u>http://www.csun.co.jp</u>」

- ※(株)日昇テクノロジーの書面による許可のない複製は、いかなる形 態においても厳重に禁じられています。
- ※ Androidに関わるリソースはご参考までの実験レベルで確認済みの ものですので、サポートは提供しておりません。





機能概要	ළ	4
第一章	ドライバーのインストール	5
第二章	ファームウェアのアップデート	9
第三章	クロックの設定	11
第四章	ターゲットボードとの接続	14
第五章	SPI Flash書込み手順	17



#### 機能概要

- 1、Xilinx 社 USB 対応ダウンロードケーブル Platform Cable USB の互換品
- 2、USBインタフェース、USB1.1 とUSB2.0両方サポートする。Hot plug and playをサポー
- トする。Full-SpeedとHi-Speedをサポートする
- 3、USBで給電、外部電源要らない
- 4、ターゲットボードによって自動認識して1.5V~5Vの電源を提供する
- (5V (TTL), 3.3V(LVCMOS), 2.5V, 1.8V and 1.5V)
- 5、iMPACT とChipScopeをサポートする
- 6、JTAG Boundary Scan、Slave Serial、Serial Peripheral Interface SPIモードをサポ ートする
- 7、サポートするOS
- ---Microsoft Windows XP Professional
- ---Microsoft Windows Vista
- ---Windows 2000
- -Red Hat Enterprise Linux
- ---SUSE Linux Enterprise
- 8、USB-IF認証、CEとFCC規格を満たす
- 9、外形寸法:8.5x5(cm)



## 第一章 ドライバーのインストール

前提:ドライバーは ISE8.2i 以上のバージョンが必要です。具体的には ISE インストール中 Option 選択する時 Cable Drivers を選択する必要です。

🌌 - インストール オプションの選択	
	インストール オプションの選択 ☑ デザイン環境ツール ☑ CPLD ☑ Virtex/Virtex-E/Spartan-II/Spartan-IE ☑ Virtex-II/Virtex-I Pro/Spartan-3/Spartan-3E ☑ Spartan-3a ☑ Virtex-4 ☑ Virtex-5 ☑ Real to the definition
<	✓ プログラム ツール ✓ ケーブル ドライバ
サイリンクス ISE のインストール 登録 ID の入力 ソフトウェア ライセンスの承諾 インストール ディレクトリの選択 ● インストール オプションの選択 インストールの開始	必要なディスク領域: 3214 MB 空き領域: 79662 MB
Copyright (c) 1995-2006 Xilinx, Inc. All rights reserved. <u>Trademarks and Patents</u>	
	< 戻る(B) 次へ(N) > キャンセル

1、USB ケーブルで USB ダウンロードケーブルと PC を接続する 新しいハードウェアが発見される。





#### 自動的にインストールする。





#### インストール中の画面:





完了押して、これでファームウェアローダーのインストールは完成。 続いて、もう一度上記操作を繰り返して、ケーブルをインストールする。







デバイスマネージャを確認すると、下記内容が増えている。

Programming cables
Wilinx Platform Cable USB



## 第二章 ファームウェアのアップデート

iMPACT 起動すると、自動的にダウンロードケーブルのバージョンを確認して、現在のバー ジョンより低い場合は自動的に更新を行う。

😼 iMPACT - E:\default.ipf - [Boundary Scan]	
👺 Efe Edit Wew Operations Options Qutput Debug Window Help	
■ ※ ● ◎ × 韓 ※ # # # # # # # # # # # # # # # # # #	
Flows X	
BBoundary Scan	
escilareserial General control of the second	
applesttop Configuration	
Direct SPI Configuration	
BystemACE	
EPROM File Formatter	
Progress Dialog [61%]	
Starting Starting	
Modes	
WRACT Processes VARNING: WPACT:2356 - Platform Cable USB firmware must be updated. This operation may take up to 10 minutes on a USB 1.0 port or up to 30 minutes on a USB 1.1 port. Please do not stop the process or disconnect the cable prior to completion. The cable	
STATUS LED will be RED for the duration of the update process.	
OK	
Develops	
Boundary Scan	
🗙 🚹 <u>WARNING</u> : iMPACT: 2356 - Platform Cable USB firmware must be updated. This operation may take up to 10 minu	tes on a 🛃
or up to 30 minutes on a USB 1.1 port. Please do not stop the process or disconnect the cable prior to	completi
	~
	>
A Uutput Error Warning	FFFF G





iMPACT - E:\default.ipf - [Bound	lary Scan]	
😸 Elle Edit View Operations Options 🖸	lutput Debug <u>Wi</u> ndow <u>H</u> elp	- B ×
👌 🖪 🗶 🛱 🏔 🔛		
Flows X Boundary Scan SSlaweSerial SelectMAP Splesktop Configuration Direct SPI Configuration SystemACE PROM File Formatter	Progress Dialog [36%]	
Modes MFACT Frocesses X	Updating the cable firmware. 38% Cancel	
Operations	Boundary Scan	
Vupdating the cable firm PROGRESS_START - Starti	ware ng Operation.	

更新中、LED は赤になる。また中断しないでください。中断した場合、次回 iMPACT を起動 するとき再度更新開始する。注意点:更新中ケープルとターゲットボードは接続してくだ さい。更新完了後、LED は緑色 (JTAG コネクターの VREF が正しい場合) 或いは黄色 (JTAG コネクターに VREF がない) になる。



## 第三章 クロックの設定

本ケーブルは TCK/CCLK/SCK のクロック設定をサポートする。

ケーブルとターゲットボードを接続して、Impact を起動し、"create a new project"で OK 押す。



"Configure devices using Boundary - Scan (JTAG)"で"Automatically connect to a cable and identify Boundary - Scan chain"を選択して、"Finish"を押す。



😺 iMPACT - E:\default.ipf		
Elle Edit View Operations Options	<u>D</u> utput Debu <u>g Wi</u> ndow <u>H</u> elp	
🔁 🖥 🗶 🛱 🎘	##  尊王  義尊の  😺 🕅	
Plovs Plovs Plovs Plovs Plove Plowedary Scan SelectMAP Desktop Configuration Direct SPI Configuration Product File Formatter Modes MMACT Processes Modes	IMPACT - Welcome to IMPACT          Impact - Welcome to IMPACT         Impact - Welcome to IMPACT         Impact - Welcome to Impact Impac	
Operations X Welcome to iMPACT ta Uutput Error Warning	K Back Finish Cancel	http://www.xilinx.com

右クリックして"Cable Setup"を選択する。

😵 Cable Communication Setup	×
Communication Mode O Parallel III O Parallel IV	
O MultiPRO	
TCK Speed/Baud Rate: Port:	
6 MHz 💽 usb1	-
750 KHz	
1.5 MHz	
3 MHz	
6 MHz ame:	
12 MHz	
24 MHz	
OK Cancel Help	

基本的にはデフォルトの6MHzでいいですが、"AEN"付いている18V00シリーズのPROMの場 合は750KHzに設定する必要。

複数のターゲットボード接続している場合、一番遅いターゲットのクロックで設定する必



要。

各型番ターゲットボードの最大クロック表:

ターゲットボード	最大JTAGクロック
XC9500XL	10MHz
XPLA3	10MHz
CoolRunner-2	10MHz
XC18V00	10MHz
XCF00S/P	10MHz
Virtex	33MHz
VirtexE	33MHz
Virtex-2	33MHz
Virtex-2Pro	33MHz
Spartan	5MHz
Spartan-2	33MHz
Spartan-3	33MHz
Spartan-3e	33MHz



### 第四章 ターゲットボードとの接続

以下3種類の接続方法がある:14ピンフラットケーブル、10ピンフラットケーブル及び6ピン変換ケーブル。

14ピンフラットケーブルに2.54mmピッチと2.0mmピッチ2種類がある。

14ピンフラットケーブルには各信号毎にGNDがあるので、高速ダウンロードする時も性能は 安定なので、お勧めです。

方法1、14ピンフラットケーブルでターゲットボードと接続する。

(▼)標示ある所或いは赤色の線が1番。

PIN	定義	PIN	定義
1	GND	2	VCC
3	GND	4	TMS
5	GND	6	TCK
7	GND	8	TDO
9	GND	10	TDI
11	GND	12	NC
13	GND	14	NC

JTAGモード:

Slave	Serialモー	ド	:

PIN	定義	PIN	定義
1	GND	2	VCC
3	GND	4	PROG
5	GND	6	CCLK
7	GND	8	DONE
9	GND	10	DIN
11	GND	12	NC
13	GND	14	INIT(Option)

方法2、10ピンフラットケーブルでターゲットボードと接続する。

<sup>(▼)</sup>標示ある所或いは赤色の線が1番。



定義	PIN	定義
TCK	2	GND
TDO	4	VCC
TMS	6	NC
NC	8	NC
TDI	10	GND
	定義 TCK TDO TMS NC TDI	定義         PIN           TCK         2           TDO         4           TMS         6           NC         8           TDI         10

JTAGモード:

Slave Serialモード:

PIN	定義	PIN	定義
1	CCLK	2	GND
3	DONE	4	VCC
5	PROG	6	NC
7	NC	8	NC
9	DIN	10	GND

方法3、6ピン変換ケーブルでターゲットボードと接続する。

(▼)標示ある所の線が1番。

JTAGモード:

番号	色	JTAG mode
1	紫	VCC
2	白	GND
3	黑	TCK
4	灰	TDO
5	赤	TDI
6	青	TMS

Slave Serialモード:



番号	色	Slave Serial mode
1	紫	VCC
2	白	GND
3	聖	CCLK
4	灰	DONE
5	赤	DIN
6	青	PROG



## 第五章 SPI Flash 書込み手順

\*Xilinx ISE Design Suite 10.1 (以上) をインストールされることを前提とします。

1.	スタート	、メニュー―>	≻ISE→Accessories→	•IMPACT	でIMPACTを起動
----	------	---------	-------------------	---------	------------

2 IMPALT		=10 <sup>1</sup> X
Elle Edit View Operations Options Outp	ut Debug Window Help	
Z SBoundary Scan SSI aveS rial SSI aveS rial SS		
Modes		
	Nimpact Project	
	I want to	
	G load nost recent project	
	Loud most recent project file when intwol starts	
	C create a new project ( ipf) default. ipf Browse	
	QK Çancel	
Operations		http://www.xilinx.com
Welcome to iMPACT iMPACT Version: 10.1		*
		<u>*</u>
Output (Error (Warning)		<u>.</u>
		115



2.「PROM File Formatter」をダブルクリックしてから右の白ウインドウで「Launch Wizard」 を選択

■ Xilinx - ISE - D:\fpga\xc3s500e\xc3s500e.ise - [PROM File Format	ter)	- I I I I
Elle Edit Bier Froject Source Erocens Operations Binder Holp □ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓ ↓		000
Blewdey San Silevedrid Salecult Direct 37 Gafgeration System Freester Files Sangabets Libraries Configuration Soles Freester Xvalidals Operations we:	Lausch Trinit. Fight click to Lausch Witawd	
Configuration Operations     // *** BATCH CHD : setNode -pff     Revision O, Design O Device #O is Selected.     // *** BATCH CHD : deletePromDevice -poil     // *** BATCH CHD : deletePromDevice -poiltion 1	T Design Summery Brite File Formatter Boundary Scan	2
Console GErrors A Ternings Tel Shell R Find in Files	7200 File Generation   Target SF1 FD00   0 Bits used   File: test in Leg	



 下記ダイアログ画面で「I want to target a」の項目で「3rd-Party SPI PROM」を選べ、「PROM File Format」で「MCS」を選べて「PROM File Name」でファイル名前を入力し (例:test)、保存場所も変更できます。

🔤 iTPACT - Prepare PROT Files		
I want to target a	Spartan3E MultiBoot	×
PROM File Format MCS ○ TEK ○ UFP ('C" format) ○ EXO ○ BIN ○ ISC ○ HEX ♥ Swap Bits		
Checksum Fill Value (2 Hex Digits): FF		
PROM File Name: test		
Location: D:\fpga\xc3s500e\		Browse
	< Back Next >	Cancel



4. 8Mを選択 (SPIFLASH「M25P80」を使う場合)

🔤 iTPACT - Specify SPI PR	)I Device	
Auto Select PROM Density Select SPI PROM Density (bits)	8M          256K          512K          1M          2M          4M          8M          16M          32M          64M          128M	
🔲 Add Data File		
	< <u>B</u> ack <u>N</u> ext >	Cancel



5. 「Finish」ボタンをクリック

🔤 impact - File Generation Summary	,
You have entered following information:	
PROM Type:	SPI PROM
File Format	mcs
Fill Value	FF
PROM filename	test
Number of PROMs	1
Position Part Name	
0 8M	
Click "Finish" to start adding device files.	
	(Back Rinich Concol
	Lack Linish Cancel



6. 下記ダイアログ画面に「Ok」ボタンを押下

xiling - 158 - D:\fpga\xcla500e\xcla500e.ige - [Boundary Scan]	🗕 🖻 🔀
g Lile Ldit Fier Fraject Source Process Operations Linder Holp	
Q 👷 🖓 🖓 🖄 🕲 🗶 🔍 🔍 🔍 🔍 🖉 🖉 🖉 🖉 🖉 🖉 🖉 🖉 🖉 🖉 🖉 🖉 🖉	F E # L TITIT O O
Searces X Right click device to asket operations	
a manufary Scan	
essi weseri d	
TO King King King King King King King King	
molecular Continue View	
System I	
1200 File Fernatter toplat	
TD0	
🖾 Add Device 🔀	
Start adding design file to	
Data Stream: 0	
ox	
McGources Difinapahots Configuration Hodes	
Processes X	
Available Operations are:	
Treesses Configuration Operations	
w huto Select : false	21
Number of Data Stream : 1	-
Number of PROMs : 0	
END of Report	
	×
	3
🛓 🛄 Cansale 👩 Brrors 🔝 Varnings 🔛 Tel Shall 🙀 Find in Files	



7. 次は生成された.bitファイルを選択してから「No」を押下



8.「OK」ボタンを押下

🔤 🗚	Device 🔀
٩	You have completed the device file entry. Click 'Ok' to continue
	ОК

9. 下記のような画面が出て来る

Allinx - ISE - DFAFpgaAxc3s5000e/xc3s5000e.ise - [PRO] File Fo File Edit Yiew Project Source Process Operations Opjions Output Debug Find	w jelp		
S S S S S S S S S S S S S S S S S S S	B B D D P R? DO 80 pal_data_call	× 7 FF % x 11111 00	
Sources: File: Sagahots Libraries Configuration Refer Sources: File: Sagahots Libraries Configuration Refer Sources: File: Sagahots Configuration Refer Sources: Sources: S	M S-23 Fr.d X		
Tracesses Configuration Operations Dumping bit file D:/fpgm/x03n500e/top_colktemp.bit INTFO:MEPACT:501 - '1': Added Device x03e500e successfully.	Enigs Sussay 200 File Fernatter		
Add one device.			
			100



10. 下記の白のサブウインドウに右クリックし「Generate File」を選択

Iilinx - ISE - D:\fpga\xcJs500e\xc3s500e.ise - [PROM File Format	ter)		
[Dis glit Yer Payiet Source Preses Speeding Options Options Data Black P → → → → → → → → → → → → → → → → → → →	aly	. • • • • • • • • • • • • • • • • • • •	
Blankary Son SilveGrid Solvering Configuration Solverst SII Configuration Depression Alternation Solverst SII Configuration Alternation	DM 3.53 % Full bp.14 xc3s500e top.14		
gleuren Ofiler Blaushets Dilbrwies Configuration Bodes	Add Jills Bessare F Generate	ter Devis	
ilale Operations wr: Amarate File			
Crocesses Configuration Operations	Design Summary Spitt File Formatter		
Dumping bit file D:/fpgm/xc3s500e/top_colktemp.bit INFO:INFACT:501 - '1': Added Device xc3s500e successfully.			
Console Officers & Yarnings Til Shell Refine files	Thom File Gener	ration   Target SFI FROM   2,363,552 bits used   File: test in Location	<ul> <li>D:\fpgs\xc3s500s</li> </ul>



TITIM IN DAPPAREDRUGAREDRUGTE DAUT FILE FOR		
pli fat for front fore Dens Gratin Inde fab D 2 日 日 二 2 日 二 2 日 二 2 日 二 2 日 二 2 日 二 2 日 二 2 日 二 2 日 二 2 日 二 2 日 二 2 日 二 2 日 1 日 1 日 2 日 1 日 1 日 1 日 1 日 1 日 1 日	●● : : : : : : : : : : : : : : : : : :	
Sources	*	
- and Boundary Scan		
and SlaveSerial		
and a sector of the sector of	SPI Emar	
- 22Direct SPI Configuration	BM Contraction of the second s	
SystemACE	3.52 % Fu8 xc3s500e	
b File Formatter	top 3.6	
BegSources Files Snapshots Configuration Hodes		
Available Operations are:		
upGenerate File		
	PROM File Generation Succeeded	
Of Processes Configuration Operations	Without Common C. Store Tile Formatter	
	That'to county. Street to accurate	
Using user-specified prom size of 1024K		0
Writing file "D:\fpga\xc3s500e\//test.mcs".		
writing file "D:\Tpga\xC3s500e\//test.prm".		
6		
Console OFFrees Avanings CTel Shell 🛞 Find in Files		
	FROM File Generation   Target SFI FROM   2,363,552 Bits used   File test in Location:	D \fpga\ze3s500e\/



#### 12. 下記画面に左上の「Boundary Scan」をクリック

퉳 iMPACT - [Boundary Scan]			
🎯 Eile Edit View Operations Options 🤉	<u>D</u> utput Debu <u>a W</u> indow (	<u>t</u> elp	_ <del>_</del>
]  🌶 🔒 🐹 🖻 🔓 🗶 🔡		‡C[40] <mark>₩</mark>	
Modes		Right click to Add Device or Initialize JTAG chai	n
Uperations	Boundary Scan		
<pre>Minpact Version: 10.1 // *** BATCH CMD : setM // *** BATCH CMD : setM (</pre>	ode -bs ode -bs		×
		No Cable Co	onnection   No File Open



13. 下の白のサブウインドウに「Initialize Chain」を選択

💱 iMPACT - [Boundary Scan]	
😼 Eile Edit Yiew Operations Options Qutput Debug Window Help	_ 5
沙 🖥 🖇 🛱 🏛 🏥 🛱 🗄 二〇 🛷 😽	
Index       Modes	Right circk to Add Add Minx Device CbH+D Add Mon-Minx Device CbH+K ipAtalase Chan Cable Setup Cable Setup Qutput File Type ►
Boundary Scan	
X INPACT Version: 10.1 // *** BATCH CHD : setMode -bs // *** BATCH CHD : setMode -bs // *** BATCH CHD : setMode -bs	
Output AError Avaning	No Cable Connection
	No Cable Connection



14. Xinlinxダウンロードケーブルを接続してからFPGAボードの電源を入れれば、下記の 図のようにFPGAを認識されます、FPGAの型番も見られます。

\*FPGAが認識されない場合、ダウンロードケーブルが正常接続されるかどうか、ピンとFPGA のピンが一致するかどうかをご確認ください。

🐉 iMPACT - [Boundary Scan]	_ 8 ×
👺 Ele Edit View Operations Quitput Debug Window Help	×
3 8 % 6 6 × 8 % # # 4 1 8 # 8 0 % 8	
Depretions     21     10     10     10       Image: State	Image: Constraint of the second se
Boundary Scan	
PROGRESS_END - End Operation.	×
Elapsed time = 0 sec.	
// *** BAICH CHD : Identifynyn	
	×
Output AError ATarning /	
	Configuration Parallel



15. FPGA書込み対象フォルダーを探しtop.bitを選べ、

下の選択肢は2番目を選択し、「Open」ボタンをクリックしてSPIF1ash対象ファイル (例:ad16.mcs)を選択

🐉 Assign New Configuration File	? ×
Look in: E:/fpga_wr_code/	1 🔺 🔡 🏢
D	
File name: top.bit	<u>O</u> pen
File type: All Design Files (*. bit *. rbt *. nky *. isc *. bsd)	Cancel
Cancel <u>A</u> ll	<u>B</u> ypass
C None	
Enable Programming of SPI Flash Device Attached to this F	PGA
C Enable Programming of BPI Flash Device Attached to this F	PGA //

16. SPIFlashの型番を「M25P80」に選択してOkボタンを押下

1	SFPGA SPI Flash Association		
	-Select SPI Flash		
	FPGA	SPI Flash	
	xc3s500e	M25P80	
	<u>O</u> K	Cancel	



#### 18. 次の図が出て来る

Device Programming Properties - Device 1 Programming Properties		
Category		
🖻 Boundary-Scan		
Device 1 (FPGA, xc3s500e )	Property Name	Value
····· Device I ( Actached FLASH, m25100 )	Verify	Г
	FPGA Device Specific Programming Properties	
	Pulse PROG	Г
	0K Cancel	Apply Help



#### 19. FLASHを選べ、下記の図のように第一項目と第二項目をチェックしてOKボタンを押下

Category         ⊡-Boundary-Scan         □Device 1 (FPGA, xc3s500e )         □Device 1 (Attached FLASH, M25P80 )         Property Name       Value         Verify       ✓         General CPLD And PROM Properties       Erase Before Programming         FPGA Device Specific Programming Properties	
Property Name     Value       Device 1 (FFGA, xc3sb00e)     Value       Device 1 (Attached FLASH, M25F80)     Verify       General CPLD And PROM Properties     Verify       Frase Before Programming     Verify       FFGA Device Specific Programming Properties	
Verify General CPLD And PROM Properties Erase Before Programming FFGA Device Specific Programming Properties	
General CPLD And PROM Properties          Erase Before Programming       Image: Comparison of the second	
Erase Before Programming  FFGA Device Specific Programming Properties	
FFGA Device Specific Programming Properties	
After programming Flash automatically load F	GA wi
	1
on our mpry ner	



20. FLASHを右にクリックし「Program」を選択

😵 iMPACT - [Boundary Scan]				_ 8 ×
🛞 Eile Edit View Operations Output De	ebug <u>W</u> indow <u>H</u> elp			×
] 🌶 🖥 🐰 🖻 🛍 🗙 🔡	:: 🗘 : 🛛 🏭	# O 🕼 🕅		
Image: Second	Right click devices to re TDI + 200 TDO -	Image: Control of the second secon		
Operations	Boundary Scan	00.1 -=01 "M2 SP80"		
<pre>X // *** BATCH CMD : attac // *** BATCH CMD : assig // *** BATCH CMD : attac // *** BATCH CMD : attac</pre>	chflash -positi gnfiletoattache chflash -positi	on 1 -spi "M25P80" dflash -position 1 -file on 1 -spi "M25P80"	"E:/ad_fpga16/ad16.mcs"	ے ا
Output (Error (Warning /				
				 Configuration Darallal III 200 KHz LDT1
				Configuration   Parallel 111   200 KH2   LPT1



#### 21. ダウンロードが始まる

NPACT - [Boundary Scan]
Ele Edit Yew Operations Qutput Debug Window Help
State Class     Right class device to select operatione       State Class     Configuration       State Class     Configuration       SystemACE     xc3s500e       TDO     TO
ides
Boundary Scan
INFO:INFACT - Downloading cove file C:/Xilinx/10.1/ISE/spartan3e/data/xc3s500e_spi.cor. PROGRES_START - Starting Operation. '1': Downloading core '1': Downloading core
Output <u>KError</u> ( <u>Farning</u> )



22.「Program Succeeded」というメッセージが出てきれば、正常に終了ということです。 失敗の場合、21番の手順もう一回実施してください。

SiMPACT - [Boundary Scan]	_ <del>   </del>   ×
😺 Elle Edit View Operations Qutput Debug Window Help	_ 8 ×
<mark>⊘</mark> 🖯 🗶 🗄 🗶 ## # 🛱 🕴 🛱 🛱 🕶 🖓 😽	
Image: Start with the second secon	Program Succeeded
Boundary Scan	
* '1': Programmed successfully. PROGRESS END = End Operation	<u> </u>
Elapsed time = 77 sec.	
	Z
(Output / Error / Farning /	<u>×</u>
	Configuration Parallel III 200 KHz LPT1

23.「PROG\_E」キーを押すとFPGAを再構成する事になる





以上