

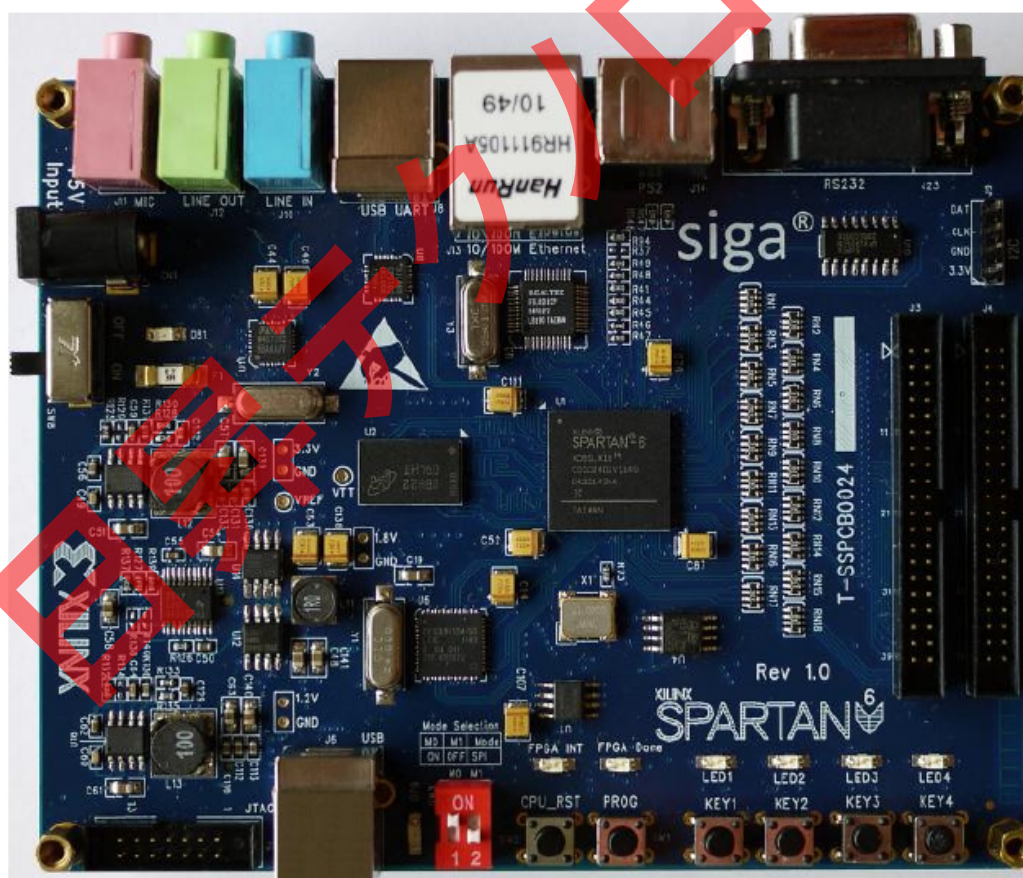
XC6SLX16 FPGA 開発ボード マニュアル

株式会社日昇テクノロジー

<http://www.csun.co.jp>

info@csun.co.jp

作成・更新日 2014/04/03



copyright@2014

・ 修正履歴

NO	バージョン	修正内容	修正日
1	Ver1.0	新規作成	2014/04/03

※ この文書の情報は、文書を改善するため、事前の通知なく変更されることがあります。
最新版は弊社ホームページからご参照ください。「<http://www.csun.co.jp>」

※ (株)日昇テクノロジーの書面による許可のない複製は、いかなる形態においても厳重に禁じられています。

目 录

第一章	ガイドライン	4
第二章	開発ボード紹介	5
2.1	開発ボードについて	5
2.2	電源	9
2.3	システムクロック	9
2.4	JTAG ダウンロード回路	10
2.5	128MB DDR2 DRAM	12
2.6	10/100M イーサネット PHY	14
2.7	オーディオインタフェース	15
2.8	USB 通信	16
2.9	USB シリアルポート通信	17
2.10	RS232 シリアルポート通信	18
2.11	PS2 インタフェース	18
2.12	キーと LED	19
2.13	GPIO と FPC コネクタ	23
2.14	SD カード	27
第三部分	開発ボード快速入門	29
第四部分	Siga-S16 資料リスト	30

第一章 ガイドライン

XC6SLX16 FPGA 開発ボードを使用する前に、本マニュアルを熟読し、製品の正しい使い方を把握する必要（間違い動作は開発ボードを壊す恐れがある）。

本マニュアルは XC6SLX16 FPGA 開発ボードのリソースと使用方法を紹介する、また提供する参照プロジェクトと設計例の使い方を説明する。

内容紹介：

本マニュアルは下記の四部分を含む：

- ☐第一章：ガイドライン
- ☐第二章：XC6SLX16 開発ボード、関連リソース紹介
- ☐第三章：開発ボード快速入門、

ISE、EDK で簡単プロジェクトの作成と FPGA、Flash にプログラムをダウンロードする方法の説明

- ☐第四章：参照資料（詳細内容は付属 DVD をご参照ください）

他の参照資料は下記の通り：

www.xilinx.com/products/spartan6 でダウンロードできる：

- Spartan-6 Family Overview
- Spartan-6 FPGA Data Sheet: DC and Switching Characteristics
- Spartan-6 FPGA Packaging and Pinout Specifications
- Spartan-6 FPGA Configuration User Guide
- Spartan-6 FPGA Clocking Resources User Guide
- Spartan-6 FPGA Block RAM Resources User Guide
- Spartan-6 FPGA DSP48A1 Slice User Guide
- Spartan-6 FPGA Memory Controller User Guide

第二章 開発ボード紹介

2.1 開発ボードについて

本開発ボードはコストパフォーマンスが良いFPGA 開発ボードとして、Xilinx の Spartan6 シリーズの XC6SLX16-2CSG324 FPGA をコアプロセッサとする。設計上に“洗練、実用、簡潔”を理念として、ラジオ、産業用制御、マルチメディアアプリケーション、IC 検証、並列コンピューティング・プロジェクトの開発、FPGA 研修、DIY やその他の個人的な調査研究にも役に立てる。

2.1.1 ハードウェア仕様

- ✧ FPGA: XC6SLX16-2CSG324 Spartan-6 系列@Xilinx
- ✧ FPGA 配置:
 - ・ 8MB SPI Flash@Numonyx
 - ・ 14pin 2 列 2.0mm ピッチ JTAG インタフェース
- ✧ Memory:
 - ・ ボード 128MB DDR2 SDRAM@Micron
 - ・ 8MB SPI Flash@Numonyx
- ✧ インタフェースリソース
 - ・ 10/100M イーサネット RJ-45 インタフェース、採用チップ RTL8201@Realtek
 - ・ USB2.0 高速通信、CY68013A@ Cypress
 - ・ オーディオインタフェース、マイク入力、オーディオ入力とステレオ音声出力をサポート、WM8731@Wolfson
 - ・ USB - UART 通信変換、CP2102@Silicon Labs
 - ・ DB9 式 RS232 インタフェース (メス)
 - ・ PS/2 キーボード、マウスインタフェース
 - ・ 標準 SD スロット
- ✧ 拡張インタフェース:
 - ・ 2 チャンネル IDC 40pin 2.0mm ピッチ GPIO インタフェース
 - ・ 1 チャンネル 60pin FPC (2 チャンネル IDC40 と复用)
 - ・ 外部 I2C ユーザーインタフェース (1x4 Header)
- ✧ クロック:
 - ・ 50MHz 発振器搭載
- ✧ 制御と表示:
 - ・ ユーザーキーx4
 - ・ ディップスイッチ x2
 - ・ ユーザーLEDx4
- ✧ 電源:
 - ・ 5V/2A 電源アダプタ
 - ・ DDR2 電源ソリューション@TI
 - ・ FPGA 電源ソリューション@MPS

2.1.2 開発ボード構造図

開発ボード構造図は下記の通り：

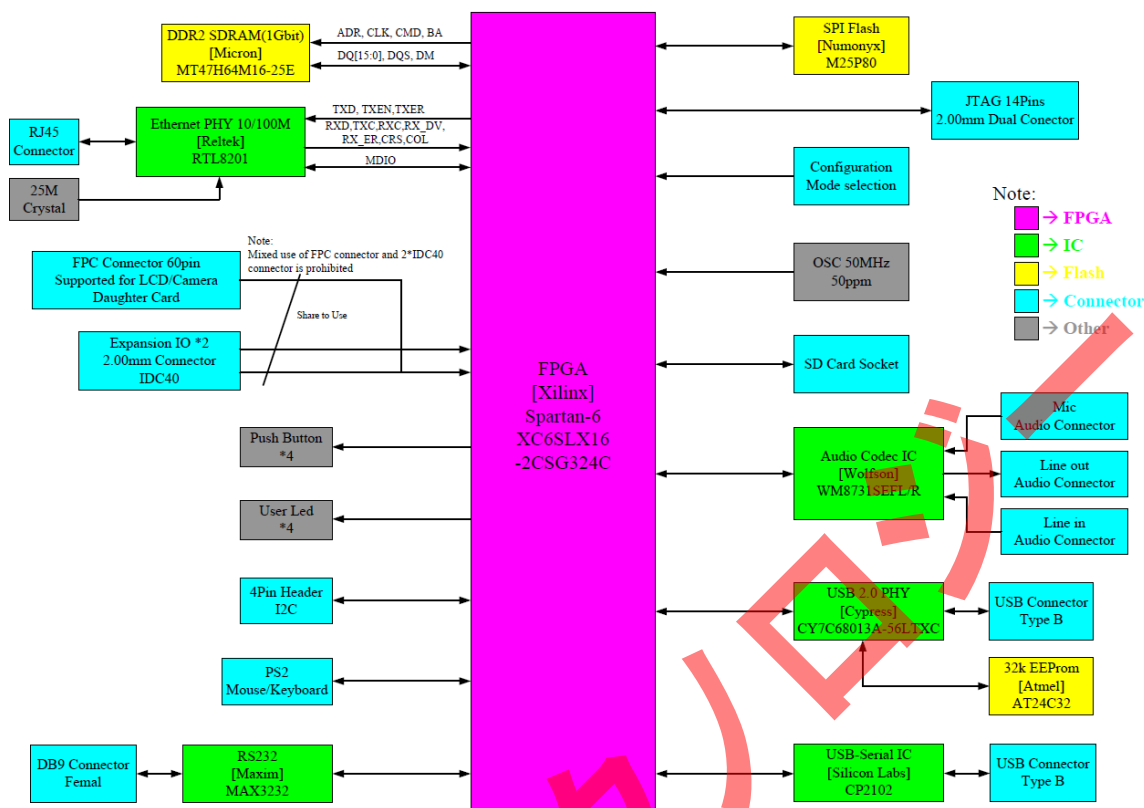


図 2-1 開発ボード構造図

2. 1. 3 開発ボード外観と仕様

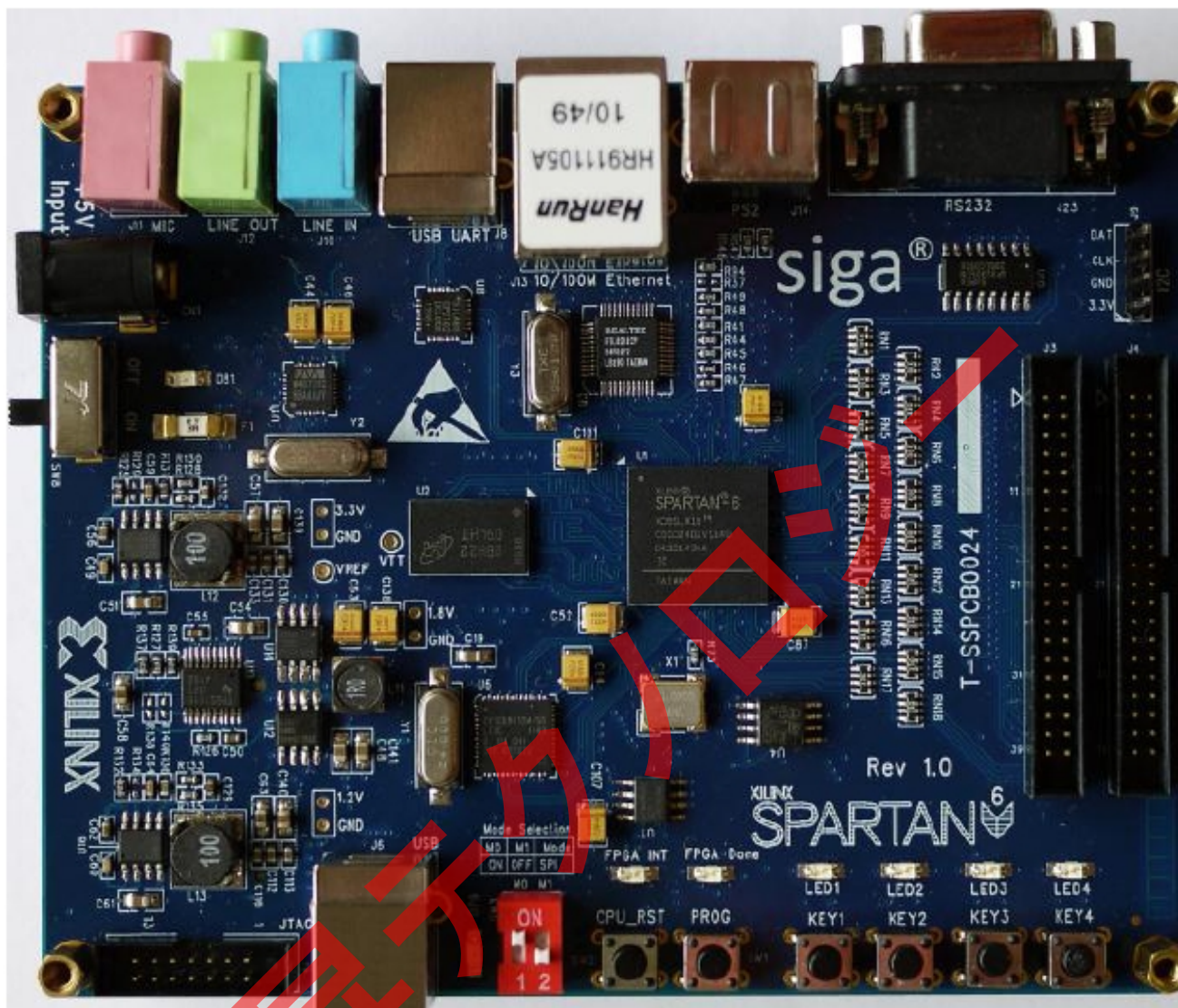


図 2-2 開発ボード Top 面

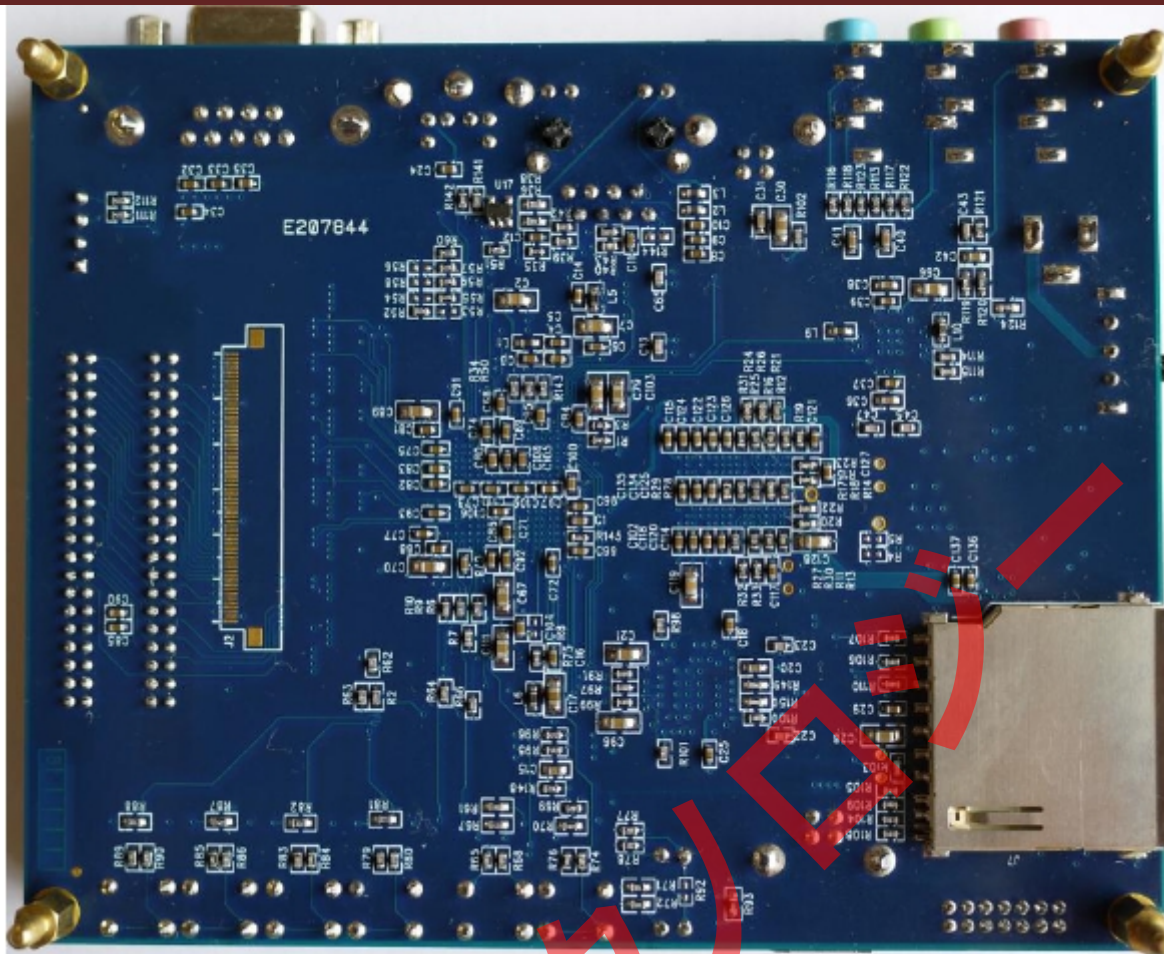


図 2-3 開発ボード Bottom 面

2.1.4 開発ボードソフトウェアリソース

FPGA 快速入門資料

- ・初めてのFPGAプロジェクト、FPGA初心者にプロジェクト作成とFPGA開発ボードダウンロードの全ての手順、プロセスを紹介する。
- ・初めてのMicroblazeプロジェクト。
- ・FPGA作成、設定、ダウンロード手順。

Verilog テストプログラム

07_example_verilogをご参照ください。

EDK プログラム

08_example_Microblazeをご参照ください。

デモプログラム

- ・シリアルポートを通じて各モジュールをテストできる

2.2 電源

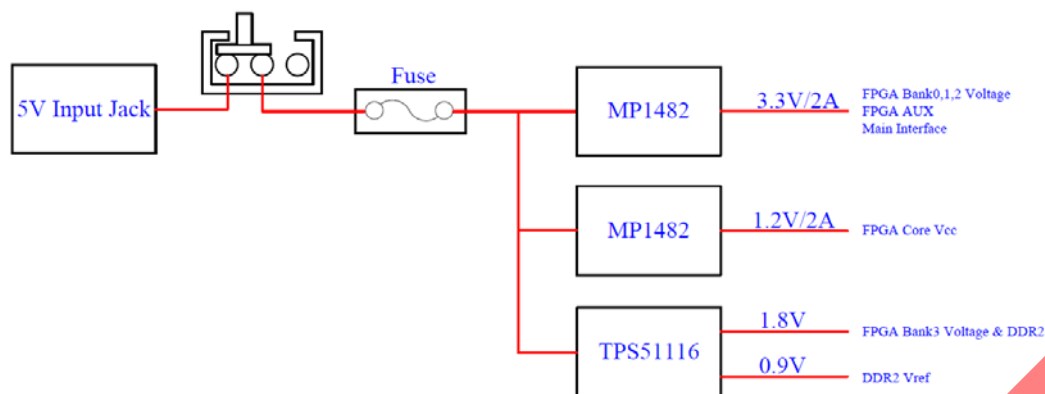
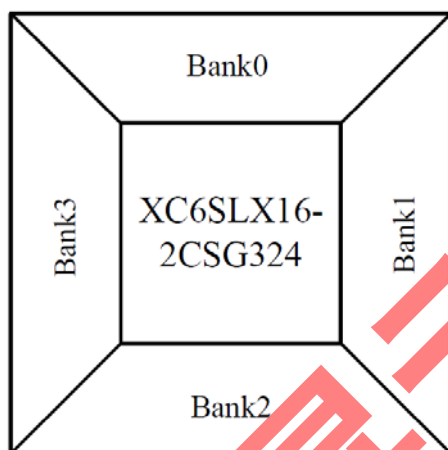


図 2-4 Siga-S16 電源トポロジ構造図

電源入力：開発ボードの給電電圧は DC5V と限定される。

FPGA bank 電圧設定：



Bank	Function	Voltage	Remark
Bank0	Audio、イーサネット、USB to Uart、RS232、PS2、SD card	3.3V	
Bank1	拡張 IO	3.3V	
Bank2	拡張 IO、USB、LED	3.3V	
Bank3	DDR2、Button	1.8V	

2.3 システムクロック

開発ボードは 1つの 50MHz のアクティブ水晶発振器(Location:X1)を提供し、出力は FPGA のグローバルクロック (GCLK Pin V10)と接続、GCLK は FPGA 内のユーザー論理回路をドライブ、ユーザーは FPGA 内部の PLLs と DCMs の設定により、もっと高いクロックを設定できる。



図 2-5 : クロックイメージ図

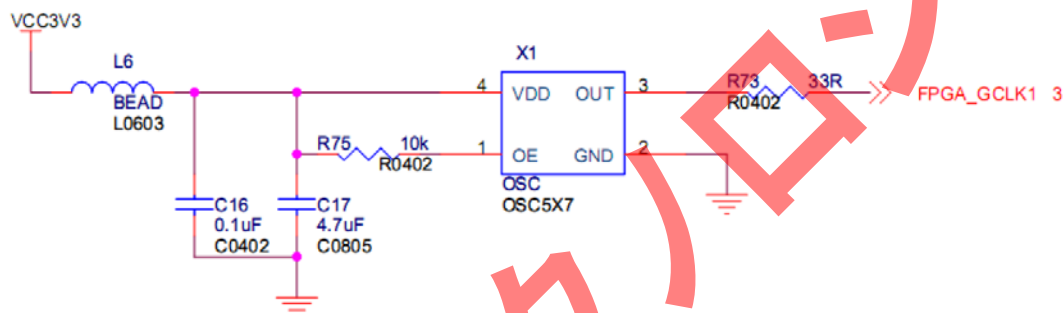


図 2-6 : Siga-S16 クロック回路図

DCM の使い方は Xilinx の ¥12_spartan6_XC6SLX16_Xilinx¥User Guide¥Spartan-6 FPGA Clocking Resources UserGuide.pdf をご参照ください。

2.4 JTAG ダウンロード回路

Spartan6 FPGA は複数種類のコンフィグレーションモードをサポートする、本ボードは2種類をサポートする：JTAG モード、マスタ・シリアルコンフィグレーションモードをサポートする。JTAG モードは JTAG ポートでコンフィグレーションファイルを直接 FPGA 内にダウンロードする、このモードはシステム停電時 FPGA はロストする。マスタ・シリアルモードでは、FPGA 通電時、FPGA は外部 flash からコンフィグレーションプログラムを読み取る。このモードではプログラムを flash 内保存し、停電しても消さない、通電後また自動設定できる。

ユーザーは JTAG ポートを介し、FPGA または flash にプログラムをダウンロードでき、FPGA を介し SPI flash に対しプログラミング出来る。

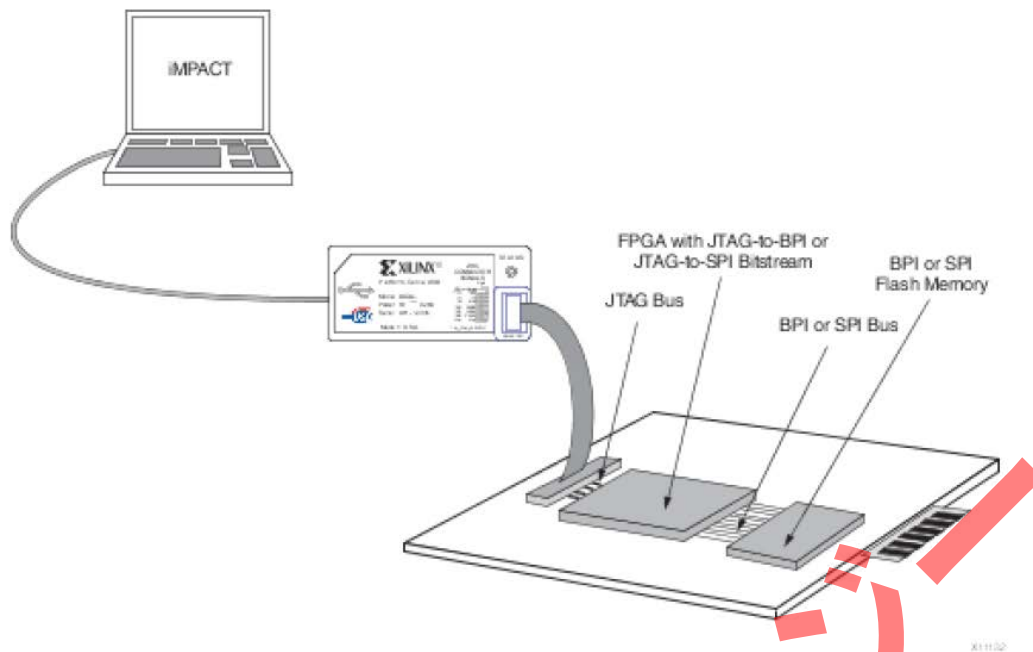


図 2-7 SPI flash indirect programming

JTAG インタフェースピン定義

JTAG	Pin Number	ピン説明
	1、3、5、7、9、11、13	GND
	2	Power 3.3V
	4	TMS
	6	TCK
	8	TDO
	10	TDI
	12、14	N/A

注：ダウンロードを使用する時、Xilinx のダウンロード器を利用ください。或いは利用するダウンロードケーブルは下記の条件を満たす必要：出力に buffer 回路を要求される、buffer 回路は FPGA 開発ボードが給電され、また 10 オーム以上の電流制限抵抗が要求される。

ユーザーがサードパーティのダウンロード器を使用により、FPGA 開発ボード故障は保障範囲外になります。

コンフィグレーションモードは開発ボードのディップスイッチで切り替える：

SW3	M0	M1	説明
	x	x	Spartan6 チップには 4 つの専用 JTAG ピンがあり、任意モードでも JTAG で プログラムを FPGA にダウンロードできる
	ON	OFF	デフォルト設定、マスタ・シリアルコンフィギュレーションモード、FPGA 通電後、SPI Flash load でプログラム設定する。
	ON	ON	N/A on Siga
	OFF	OFF	N/A on Siga
	OFF	ON	N/A on Siga

開発ボードは SPI 設定の flash を提供する、型番：M25P80 (Numonyx)、容量 8Mb。

FPGA 設定モードについては、¥12_spartan6_XC6SLX16_Xilinx¥User Guide¥Spartan-6 FPGA Configuration User Guide.pdf をご参照ください。

ダウンロードについては ¥02_spartan6_XC6SLX16_quick_start¥XC6SLX16_QuickStart.pdf をご参照ください。

2.5 128MB DDR2 DRAM

開発ボードには 128MB (1Gbit) DDR2 DRAM が搭載され、型番は Micron の MT47H64M16HR-25E。DDR2 DRAM と接続するのは FPGA の bank3 の IO。Spartan6 FPGA 内部にハードウェアの DDR2 コントローラがあり、ビットワイドは 16bit、IO タイプは SSTL18、DDR2 のコア電圧は 1.20V $\pm$ 5%、上記の設定に従い動作すると、MCB と DDR2 の書き・読み速度は 625Mb/s まで辿り着ける (FPGA チップ速度レベル-2 の時、Siga FPGA チップ速度レベルは 2C)。DDR2 の信号完整性は PCB 設計時配慮しておりますが、ユーザーはマッチング抵抗と DDR2 チップ内の端末抵抗を配慮する必要がある。詳細は下記表を参照する。

端末抵抗使用要求：

シグナル名	PCB 上マッチング抵抗	(On-die Termination)ODT
DDR2_A[14:0]	49.9 Ω to VTT	
DDR2_BA[2:0]	49.9 Ω to VTT	
DDR2_WE_N	49.9 Ω to VTT	
DDR2_RAS_N	49.9 Ω to VTT	
DDR2_CAS_N	49.9 Ω to VTT	
DDR2_CS_N	4.7K Ω to GND	
DDR2_CKE	4.7K Ω to GND	
DDR2_ODT	4.7K Ω to GND	
DDR2_DQ[15:0]		ODT
DDR2_UDQS_P/N		ODT
DDR2_LDQS_P/N		
DDR2_UDM/ DDR2_LDM		ODT
DDR2_CK_P/N	100 Ω 微分抵抗、DDR2 側	

注：DDR2 VTT の電圧は 0.9V。

DDR2 RAM ピン接続表

FPGA Pin(U1)	回路図ネットワーク名	DDR2 SDRAM(U2)	
		Pin Number	Pin Name
J7	DDR2_A0	M8	A0
J6	DDR2_A1	M3	A1
H5	DDR2_A2	M7	A2
L7	DDR2_A3	N2	A3
F3	DDR2_A4	N8	A4
H4	DDR2_A5	N3	A5

H3	DDR2_A6	N7	A6
H6	DDR2_A7	P2	A7
D2	DDR2_A8	P8	A8
D1	DDR2_A9	P3	A9
F4	DDR2_A10	M2	A10
D3	DDR2_A11	P7	A11
G6	DDR2_A12	R2	A12
L2	DDR2_DQ0	G8	DQ0
L1	DDR2_DQ1	G2	DQ1
K2	DDR2_DQ2	H7	DQ2
K1	DDR2_DQ3	H3	DQ3
H2	DDR2_DQ4	H1	DQ4
H1	DDR2_DQ5	H9	DQ5
J3	DDR2_DQ6	F1	DQ6
J1	DDR2_DQ7	F9	DQ7
M3	DDR2_DQ8	C8	DQ8
M1	DDR2_DQ9	C2	DQ9
N2	DDR2_DQ10	D7	DQ10
N1	DDR2_DQ11	D3	DQ11
T2	DDR2_DQ12	D1	DQ12
T1	DDR2_DQ13	D9	DQ13
U2	DDR2_DQ14	B1	DQ14
U1	DDR2_DQ15	B9	DQ15
F2	DDR2_BA0	L2	BA0
F1	DDR2_BA1	L3	BA1
E1	DDR2_BA2	L1	BA2
E3	DDR2_WE_N	K3	WE
L5	DDR2_RAS_N	K7	RAS
K5	DDR2_CAS_N	L7	CAS
K6	DDR2_ODT	K9	ODT
G3	DDR2_CK_P	J8	CK_P
G1	DDR2_CK_N	K8	CK_N
H7	DDR2_CKE	K2	CKE
L4	DDR2_LDQS_P	F7	LDQS_P
L3	DDR2_LDQS_N	E8	LDQS_N
P2	DDR2_UDQS_P	B7	UDQS_P
P1	DDR2_UDQS_N	A8	UDQS_N
K3	DDR2_LDM	F3	LDM
K4	DDR2_UDM	B3	UDM

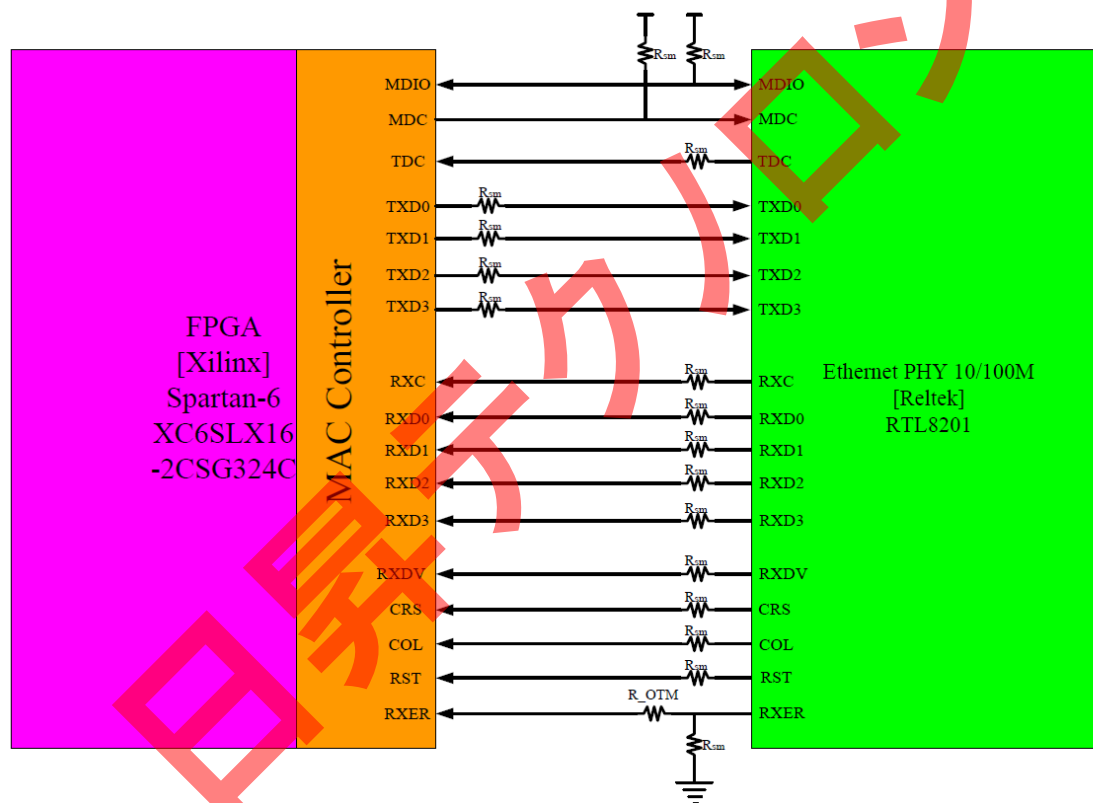
2.6 10/100M イーサネット PHY

開発ボードは Realtek の 10/100M イーサネット PHY (RTL8201) を提供する。RTL8201 は PC NIC と通信領域で広く使われる。RTL8201 チップは 10/100Mbps の伝送率をサポート、MAC レイヤ伝送インターフェースは MII である。

RTL8201 通電後は特定の IO のレベルを検索し、自動的に動作モードを確認する：

- ・MAC レイヤ伝送インターフェースは MII。
- ・アダプティブ機能有効：速度アダプティブ、Master/Slave アダプティブ、MDIO の PHY 管理をサポート、PHY アドレスは：00001b
- ・クロス機能起動

FPGA とイーサネットチップ接続イメージ図



注：FPGA イーサネットの主なソリューションは：FPGA+PHY、MAC は FPGA 内部に統合する。

FPGA イーサネットチップピン接続リスト：

FPGA Pin(U1)	回路図ネットワーク名	Ethernet PHY (U3)	
		Pin Number	Pin Name
A13	E_MDC	25	MDC
A14	E_MDIO	26	MDIO
C9	E_TXC	7	TXCLK
C8	E_TXEN	2	TXEN
A9	E_TXD0	6	TXD0

B9	E_TXD1	5	TXD1
A8	E_TXD2	4	TXD2
B8	E_TXD3	3	TXD3
C13	E_RXER①	24	RXER/FXEN
A11	E_RXD0	21	RXD0
B11	E_RXD1	20	RXD1
C11	E_RXD2	19	RXD2
C10	E_RXD3	18	RXD3
A10	E_RXC	16	RXC
B12	E_RXDV	22	RXDV
A12	E_CRS	23	CRS
A7	E_COL	1	COL
C7	E_RESET	42	RESETB

注①: このピンは通常出荷で接続しないため、ピンを利用する場合、R37 を溶接/R94 取り除く必要がある (規格 : 33ohm、0402、5%)。

本ボードは一つの loopback のテストプロジェクトを提供し、開発者はそれに基づき、プロジェクトを開発できる。イーサネットプロジェクト情報は

¥ 08_spartan6_XC6SLX16_example_Microblaze¥0810_Siga-S16_Ethernet.pdf をご参照ください。

2.7 オーディオインタフェース

本開発ボードは Wolfon WM8731 オーディオコーデック (CODEC) チップがあり、24 ビットの高品質オーディオインタフェースを提供する。マイク入力、ライン入力とライン出力ポートをサポートし、サンプリングレートは 8kHz~96kHz の間で調整可能。I2S/PCM/AC97 などのオーディオインタフェースサポート、I2C バスを介し WM8731 設定できる。SCL、SCK 信号ラインは直接 FPGA に接続。図 4-23 はオーディオインタフェース関連のイメージ図、オーディオチップと FPGA のピン配置を説明する。WM8731 オーディオコーデックの詳細資料はメーカーの公式サイトで閲覧できる。

FPGA と WM8731 ピン接続表

FPGA Pin (U1)	回路図ネットワーク名	オーディオコーデックチップ (U6)	
		Pin Number	Pin Name
	VM_I2C_SCLK	28	SDCLK
	VM_I2C_SDAT	27	SDIN
	VM_BCLK	7	BCLK
	VM_DACDAT	8	DACDAT
	VM_DACLRC	9	DACLRC
	VM_ADCDAT	10	ADCDAT
	VM_ADCLRC	11	ADCLRC

2.8 USB 通信

本ボードは (Cypress Semiconductor) CY7C68013A USB2.0 コントローラーチップで PC と開発ボードの高速データ通信を実現できる。USB ケーブルで PC と接続 (A 型 USB インタフェースは PC 側、B 型インタフェースが開発ボードの CN6 と接続)、CY7C68013A はユニバーサルシリアルバスプロトコルバージョン 2.0 仕様に適用して、全速 (12Mbit/s) と低速 (480Mbit/s) モードをサポートする。

CY7C68013A は USB2.0 を統合されているマイクロコントローラーで、USB2.0 受送信、SIE (シリアルインタフェースエンジン、serial interface engine) を統合し、強化版 8051 マイクロコントローラーとプログラマブル外部インタフェースを一つのチップに統合されている。

CY7C68013A は GPIF と FIFO の 2 種の通信モードを提供、FPGA、DSP、ATA、UTOPIA、EPP、PCMCIA とのシームレスなデータ通信を実現できる。

本開発ボードで、FPGA と CY7C68013A の通信モードは GPIF/FIFO 両方でもできる。本文の参照資料は FIFO モードを採用する。

FPGA と CY7C68013A ピン接続表

FPGA Pin(U1)	回路図ネットワーク名	USB2.0 コントローラー (U6)	
		Pin Number	Pin Name
T3	USB_CLKOUT	54	CLKOUT/PE1
T9	USB_IFCLK	13	IFCLK/PE0
V7	USB_FLAGA	29	CTL0/FLAGA
U7	USB_FLAGB	30	CTL1/FLAGB
T7	USB_FLAGC	31	CTL2/FLAGC
T6	USB_SLCS	40	PA7/FLAGD/SLCS#
R3	USB_SLWR	2	RDY1/SLWR
N5	USB_SLRD	1	RDY0/SLRD
R7	USB_SLOE	35	PA2/SLOE
V6	USB_PKTEND	39	PA6/PKTEND
P7	USB_FIFOADR0	37	PA4/FIFOADR0
N7	USB_FIFOADR1	38	PA5/FIFOADR1
V9	USB_FD0	18	PB0/FD0
V8	USB_FD1	19	PB1/FD1
U8	USB_FD2	20	PB2/FD2
T8	USB_FD3	21	PB3/FD3
R8	USB_FD4	22	PB4/FD4
P8	USB_FD5	23	PB5/FD5
N8	USB_FD6	24	PB6/FD6
N9	USB_FD7	25	PB7/FD7
P6	USB_FD8	45	PD0/FD8
N6	USB_FD9	46	PD1/FD9
V5	USB_FD10	47	PD2/FD10

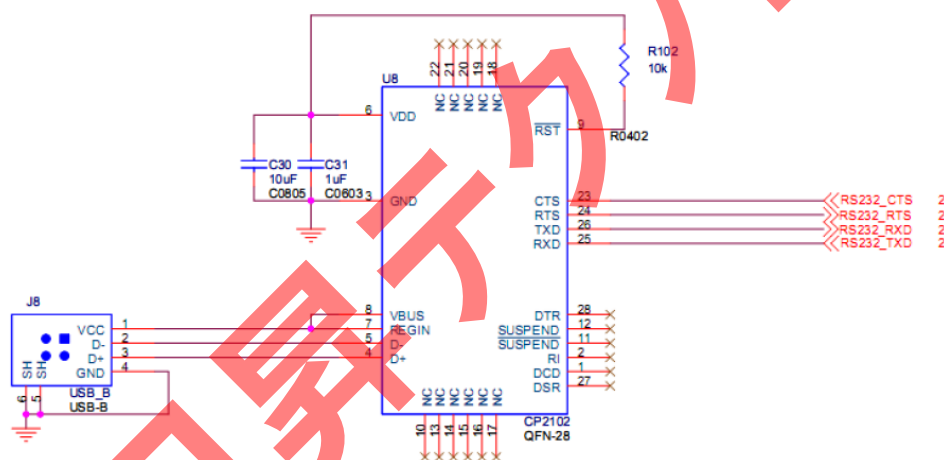
U5	USB_FD11	48	PD3/FD11
V4	USB_FD12	49	PD4/FD12
T5	USB_FD13	50	PD5/FD13
R5	USB_FD14	51	PD6/FD14
T4	USB_FD15	52	PD7/FD15

2.9 USB シリアルポート通信

本ボードに Silicon Labs CP2102GM の USB-UART チップ (U8)があり、 USB ケーブルで PC と接続 (A 型 USB インタフェースは PC 側、B 型側は開発ボードの J8 と接続)。

Xilinx Uart IP を開発ボード FPGA 内に適用し、USB-UART 変換チップの 4 個の信号をサポート : Rx、Tx、CTS(データ送信クリア)、RTS(データ送信請求)。

Silicon Labs は無料で Virtual COM Port (VCP)を提供する、ドライバーインストール完了後、開発ボード J8 と PC が接続後、PC は 仮想シリアルポートとして認識する。



B 型 USB インタフェースピン定義

USB コネクタ (CN8)	名前	説明
1	VBUS	+5V from host system (not used)
2	USB_DATA_N	Bidirectional differential serial data (N-side)
3	USB_DATA_P	Bidirectional differential serial data (P-side)
4	GROUND	Signal ground

FPGA と CP2102GM ピン接続表

FPGA Pin(U1)	回路図ネットワーク名	USB-Uart Bridge (U8)	
		Pin Number	Pin Name
A5	RS232_CTS	23	CTS

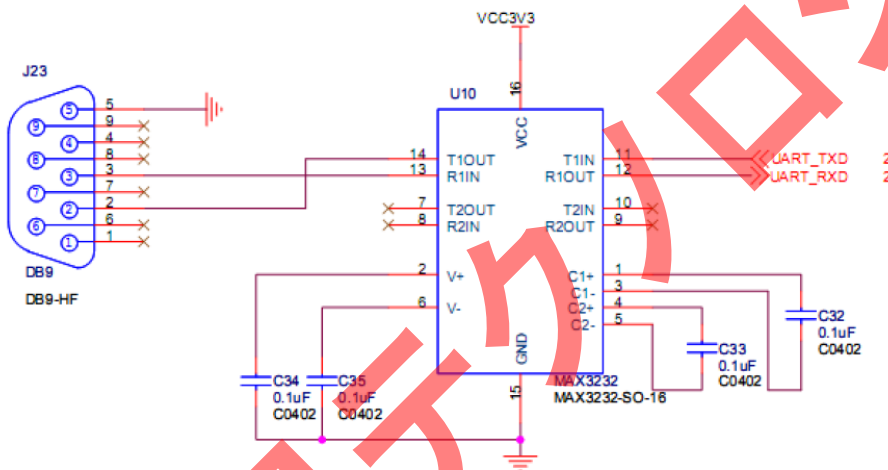
C6	RS232_RTS	24	RTS
A6	RS232_TXD	26	TXD
B6	RS232_RXD	25	RXD

see some of the Xilinx UART IP specifications at:

- ・ http://www.xilinx.com/support/documentation/ip_documentation/xps_uartlite.pdf
- ・ http://www.xilinx.com/support/documentation/ip_documentation/xps_uart16550.pdf

2.10 RS232 シリアルポート通信

USB-UART 通信の他に、本開発ボードは DB9 の RS232 シリアルポート通信インタフェースを提供し、MAX3232 トランシーバチップを使用する。詳細回路図と信号リストは下記図と接続表に参照：

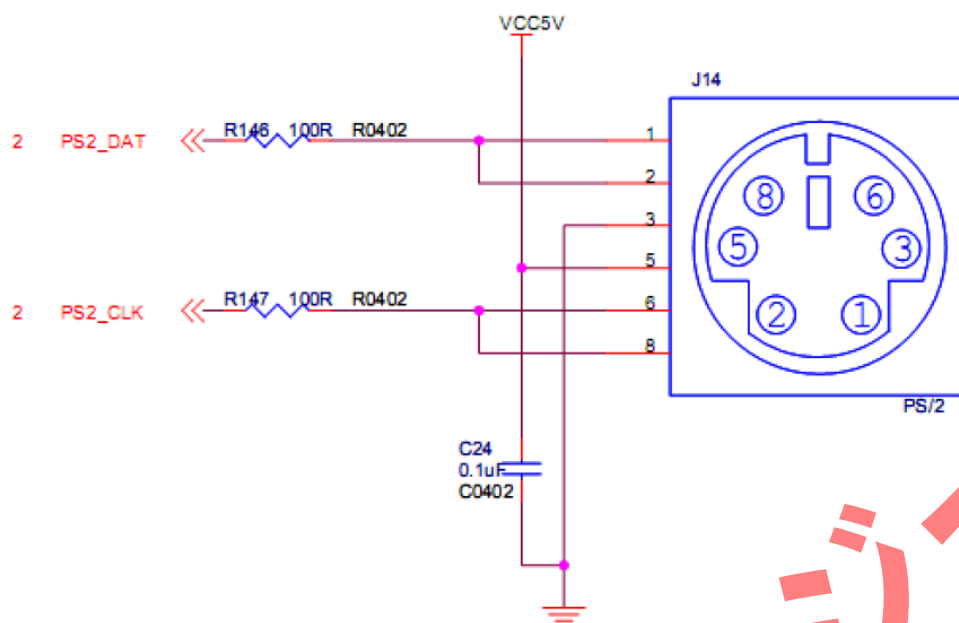


FPGA と MAX232 ピン接続表

FPGA Pin(U1)	回路図ネットワーク名	USB-Uart Bridge (U10)	
		Pin Number	Pin Name
A15	UART_TXD	11	T1IN
B14	UART_RXD	12	R1OUT

2.11 PS2 インタフェース

本開発ボードは標準 PS/2 インタフェースを提供、PS/2 マウスとキーボードを接続可能。
PS/2 インタフェース関連回路図：



FPGA と PS2 ピン接続表

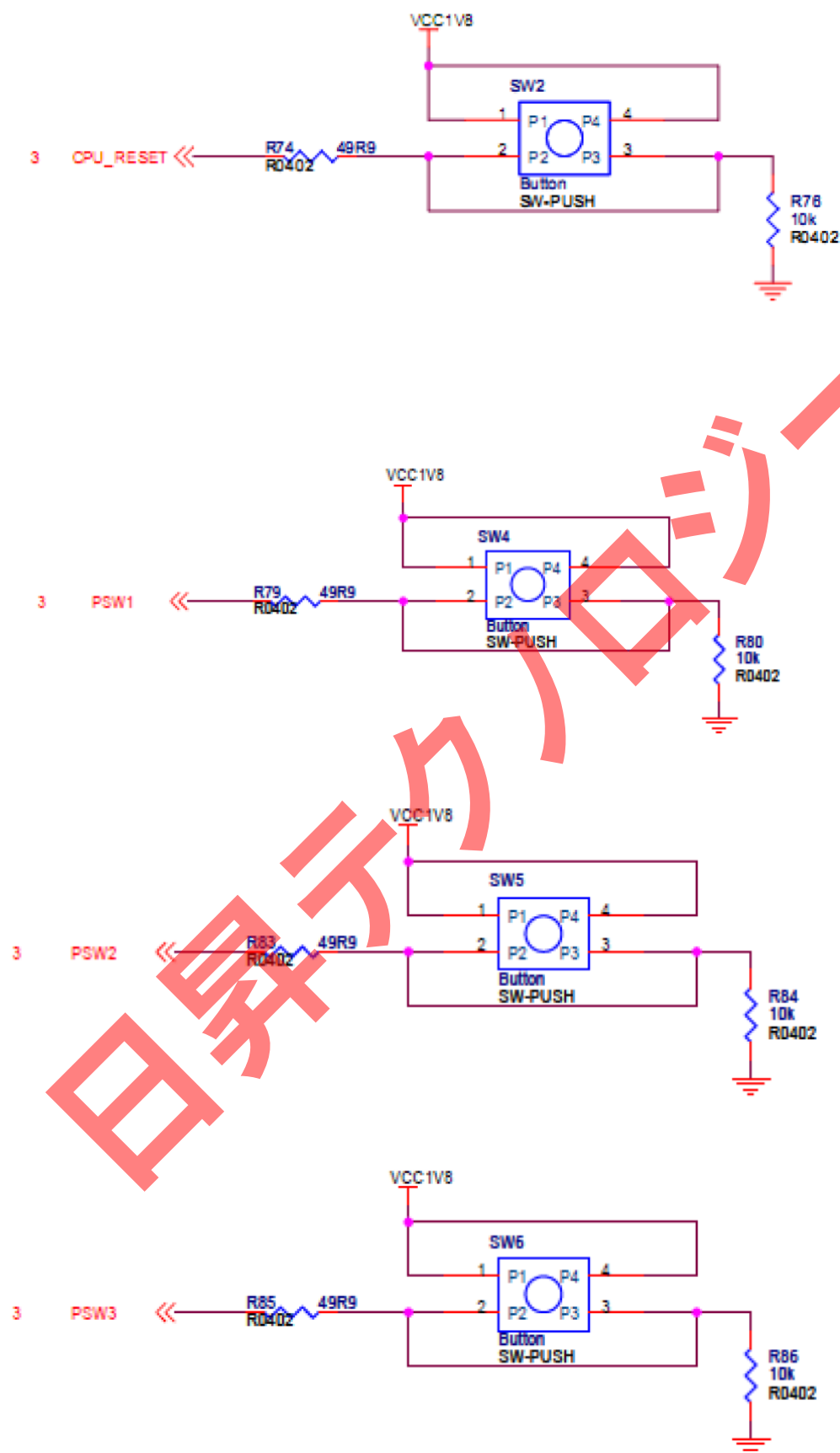
FPGA Pin(U1)	回路図ネットワーク名	PS2 Connector (U10)	
		Pin Number	Pin Name
D14	PS2_DAT	1、2	PS2 Data
C14	PS2_CLK	6、8	PS2 Clock

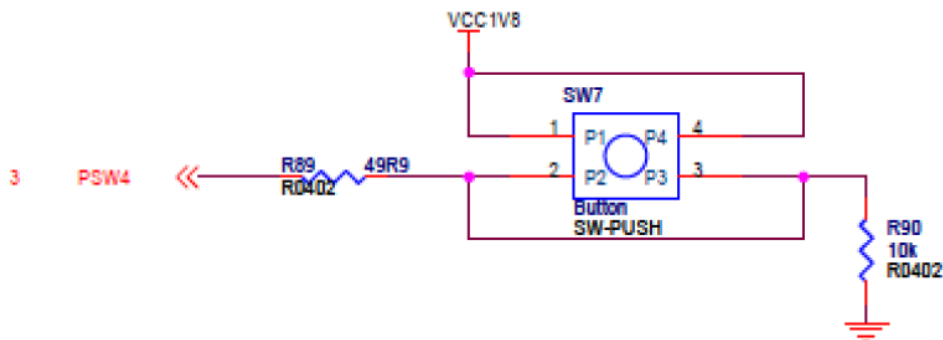
2.12 キーと LED

本開発ボードには6つのキー、7個LEDがある。SW1、SW2、D79、FPGA_INT、FPGA_Done は専用 LED、他の全てはユーザーキー/LED となる。

2.12.1 ユーザーキー

ユーザーキーは KEY1、KEY2、KEY3、KEY4 と CPU Reset 用の SW2 がある。



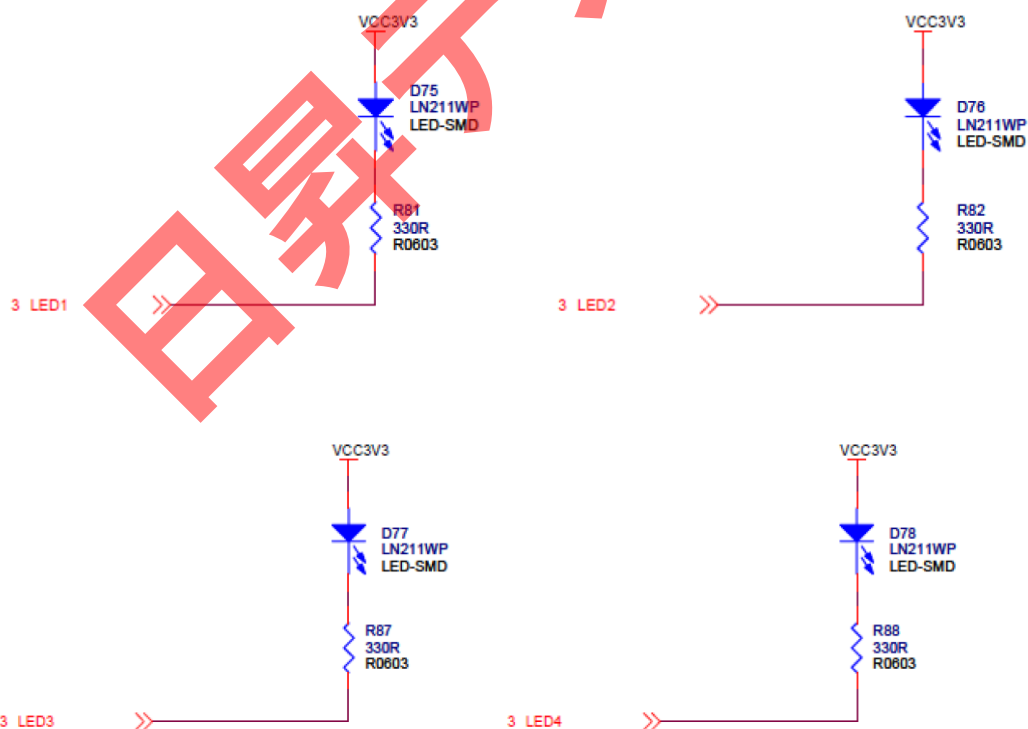


FPGA とキーの接続表

FPGA Pin(U1)	回路図ネットワーク名	デバイス	説明
P4	PSW1	KEY1	通常：0V、押下：1.8V
F6	PSW2	KEY2	通常：0V、押下：1.8V
E4	PSW3	KEY3	通常：0V、押下：1.8V
F5	PSW4	KEY4	通常：0V、押下：1.8V
N4	CPU_RESET	SW2	通常：0V、押下：1.8V

2.12.2 ユーザー LED

ユーザーLED は D75、 D76、 D77、 D78。FPGA のピン出力は論理 0 の時、LED は点灯。



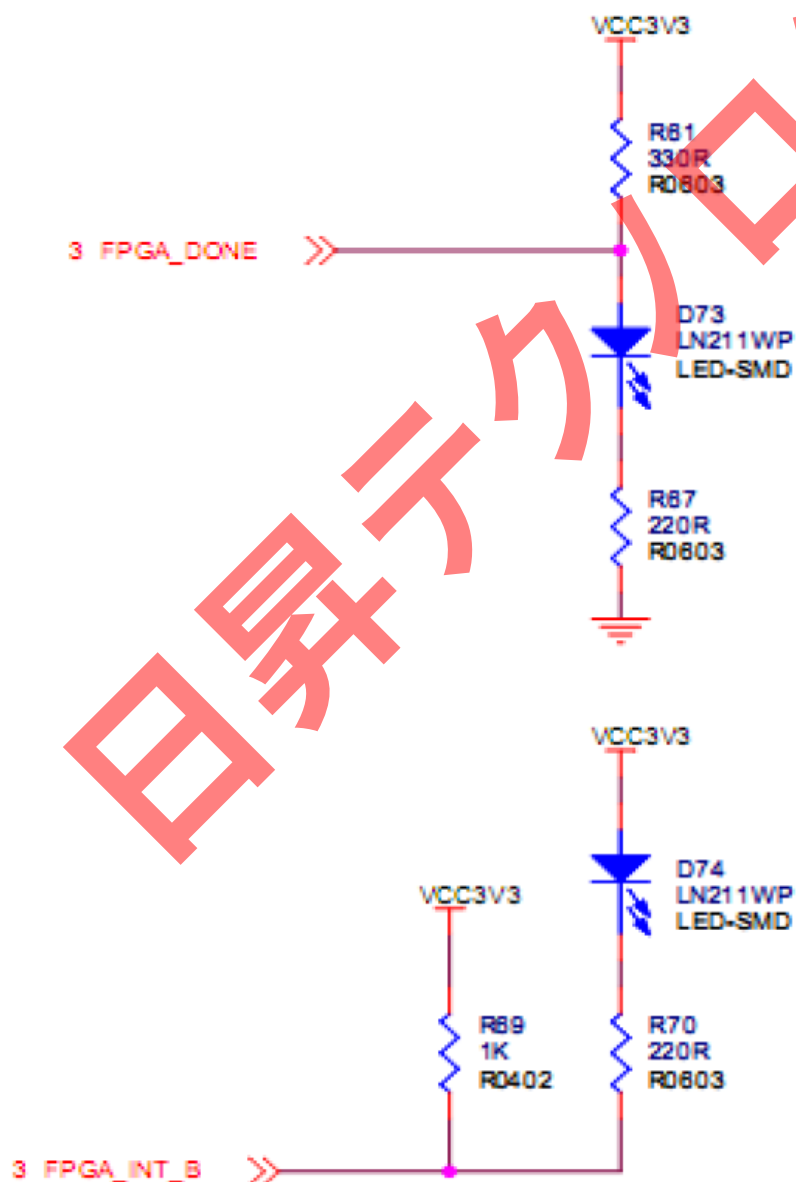
FPGA と LED 接続表

FPGA Pin(U1)	回路図ネットワーク名	デバイス	カラー
T10	LED1	D75	Blue
N10	LED2	D76	Blue
T12	LED3	D77	Blue
R10	LED4	D78	Blue

2.12.3 FPGA 再設定とステータス

ユーザーは再設定キーSW1でFPGAをリセットすることができる。FPGA再設定のプログラムはFPGAの設定モードに基づき、SW3で選択する。

ボードでFPGA初期化とステータスLEDがある。FPGA初期化LEDはFPGA電源正常給電と内部初期化時点灯し、設定LEDはFPGAプログラム設定完了後点灯する。



2.13 GPIO と FPC コネクタ

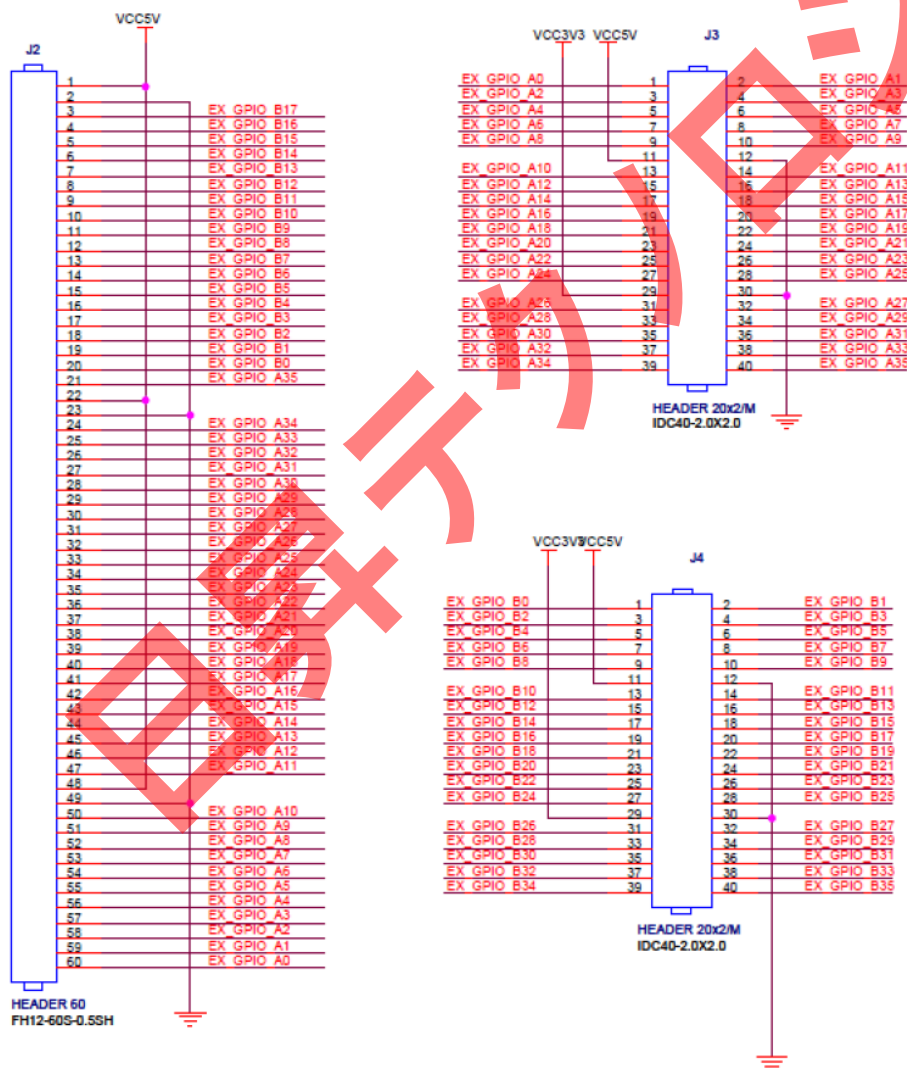
本ボードに 2 つの 40pin 2.0mm ピッチの拡張インタフェース、1 つの 60pin の FPC コネクタを提供する。FPGA IO 数量の制限のため、2 つの 40pin 拡張インタフェースと 60pin FPC コネクタは FPGA の IO ピンを共用する。

40pin の拡張インタフェースの中の 36pin は FPGA ピンと接続、60pin の FPC コネクタの中の 54pin は FPGA ピンと接続、他は電源とアースライン。

注: 拡張 IO を使用する時、接続完了後通電との手順を厳守する。

詳細ピン配布は下記の回路図を参照する。

IDC コネクタと FPC コネクタ



FPGA と 40pin header1 接続表

FPGA Pin(U1)	回路図ネットワーク名	40pin Header(J3)	
		Pin Number	回路図ネットワーク名

C17	FPGA_GPIO_A0	1	EX_GPIO_A0
C18	FPGA_GPIO_A1	2	EX_GPIO_A1
D17	FPGA_GPIO_A2	3	EX_GPIO_A2
D18	FPGA_GPIO_A3	4	EX_GPIO_A3
E18	FPGA_GPIO_A4	5	EX_GPIO_A4
E16	FPGA_GPIO_A5	6	EX_GPIO_A5
F18	FPGA_GPIO_A6	7	EX_GPIO_A6
F17	FPGA_GPIO_A7	8	EX_GPIO_A7
F16	FPGA_GPIO_A8	9	EX_GPIO_A8
F15	FPGA_GPIO_A9	10	EX_GPIO_A9
F14	FPGA_GPIO_A10	13	EX_GPIO_A10
G18	FPGA_GPIO_A11	14	EX_GPIO_A11
G16	FPGA_GPIO_A12	15	EX_GPIO_A12
G14	FPGA_GPIO_A13	16	EX_GPIO_A13
G13	FPGA_GPIO_A14	17	EX_GPIO_A14
H18	FPGA_GPIO_A15	18	EX_GPIO_A15
H17	FPGA_GPIO_A16	19	EX_GPIO_A16
H16	FPGA_GPIO_A17	20	EX_GPIO_A17
H15	FPGA_GPIO_A18	21	EX_GPIO_A18
H14	FPGA_GPIO_A19	22	EX_GPIO_A19
H13	FPGA_GPIO_A20	23	EX_GPIO_A20
H12	FPGA_GPIO_A21	24	EX_GPIO_A21
J18	FPGA_GPIO_A22	25	EX_GPIO_A22
J16	FPGA_GPIO_A23	26	EX_GPIO_A23
J13	FPGA_GPIO_A24	27	EX_GPIO_A24
K16	FPGA_GPIO_A25	28	EX_GPIO_A25
K18	FPGA_GPIO_A26	31	EX_GPIO_A26
K17	FPGA_GPIO_A27	32	EX_GPIO_A27
K15	FPGA_GPIO_A28	33	EX_GPIO_A28
K14	FPGA_GPIO_A29	34	EX_GPIO_A29
K13	FPGA_GPIO_A30	35	EX_GPIO_A30
K12	FPGA_GPIO_A31	36	EX_GPIO_A31
L18	FPGA_GPIO_A32	37	EX_GPIO_A32
L17	FPGA_GPIO_A33	38	EX_GPIO_A33
L16	FPGA_GPIO_A34	39	EX_GPIO_A34
L15	FPGA_GPIO_A35	40	EX_GPIO_A35

FPGA と 40pin header2 接続表

FPGA Pin(U1)	回路図ネットワーク名	40pin Header(J4)	
		Pin Number	回路図ネットワーク名
L14	FPGA_GPIO_B0	1	EX_GPIO_B0
L13	FPGA_GPIO_B1	2	EX_GPIO_B1
L12	FPGA_GPIO_B2	3	EX_GPIO_B2

M18	FPGA_GPIO_B3	4	EX_GPIO_B3
M16	FPGA_GPIO_B4	5	EX_GPIO_B4
M14	FPGA_GPIO_B5	6	EX_GPIO_B5
M13	FPGA_GPIO_B6	7	EX_GPIO_B6
N18	FPGA_GPIO_B7	8	EX_GPIO_B7
N17	FPGA_GPIO_B8	9	EX_GPIO_B8
N16	FPGA_GPIO_B9	10	EX_GPIO_B9
N15	FPGA_GPIO_B10	13	EX_GPIO_B10
N14	FPGA_GPIO_B11	14	EX_GPIO_B11
N13	FPGA_GPIO_B12	15	EX_GPIO_B12
P18	FPGA_GPIO_B13	16	EX_GPIO_B13
P17	FPGA_GPIO_B14	17	EX_GPIO_B14
T18	FPGA_GPIO_B15	18	EX_GPIO_B15
T17	FPGA_GPIO_B16	19	EX_GPIO_B16
U18	FPGA_GPIO_B17	20	EX_GPIO_B17
U17	FPGA_GPIO_B18	21	EX_GPIO_B18
T14	FPGA_GPIO_B19	22	EX_GPIO_B19
V14	FPGA_GPIO_B20	23	EX_GPIO_B20
U13	FPGA_GPIO_B21	24	EX_GPIO_B21
V13	FPGA_GPIO_B22	25	EX_GPIO_B22
T11	FPGA_GPIO_B23	26	EX_GPIO_B23
U16	FPGA_GPIO_B24	27	EX_GPIO_B24
V16	FPGA_GPIO_B25	28	EX_GPIO_B25
U15	FPGA_GPIO_B26	31	EX_GPIO_B26
V15	FPGA_GPIO_B27	32	EX_GPIO_B27
V12	FPGA_GPIO_B28	33	EX_GPIO_B28
U11	FPGA_GPIO_B29	34	EX_GPIO_B29
V11	FPGA_GPIO_B30	35	EX_GPIO_B30
U10	FPGA_GPIO_B31	36	EX_GPIO_B31
P12	FPGA_GPIO_B32	37	EX_GPIO_B32
P11	FPGA_GPIO_B33	38	EX_GPIO_B33
R11	FPGA_GPIO_B34	39	EX_GPIO_B34
N11	FPGA_GPIO_B35	40	EX_GPIO_B35

FPGA と FPC 接続表

FPGA Pin(U1)	回路図ネットワーク名	FPC(J2)	
		Pin Number	回路図ネットワーク名
C17	FPGA_GPIO_A0	60	EX_GPIO_A0
C18	FPGA_GPIO_A1	59	EX_GPIO_A1
D17	FPGA_GPIO_A2	58	EX_GPIO_A2
D18	FPGA_GPIO_A3	57	EX_GPIO_A3
E18	FPGA_GPIO_A4	56	EX_GPIO_A4
E16	FPGA_GPIO_A5	55	EX_GPIO_A5

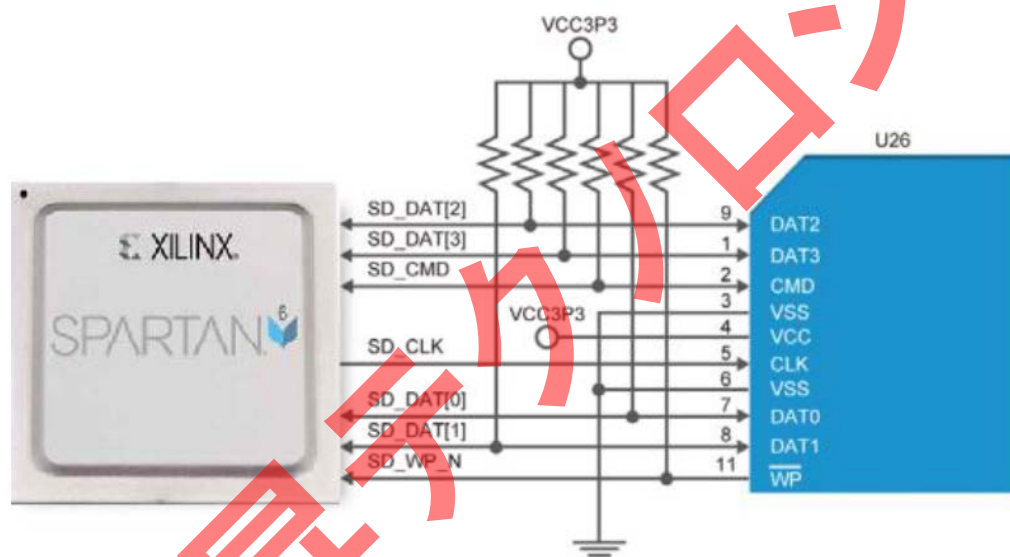
F18	FPGA_GPIO_A6	54	EX_GPIO_A6
F17	FPGA_GPIO_A7	53	EX_GPIO_A7
F16	FPGA_GPIO_A8	52	EX_GPIO_A8
F15	FPGA_GPIO_A9	51	EX_GPIO_A9
F14	FPGA_GPIO_A10	50	EX_GPIO_A10
G18	FPGA_GPIO_A11	47	EX_GPIO_A11
G16	FPGA_GPIO_A12	46	EX_GPIO_A12
G14	FPGA_GPIO_A13	45	EX_GPIO_A13
G13	FPGA_GPIO_A14	44	EX_GPIO_A14
H18	FPGA_GPIO_A15	43	EX_GPIO_A15
H17	FPGA_GPIO_A16	42	EX_GPIO_A16
H16	FPGA_GPIO_A17	41	EX_GPIO_A17
H15	FPGA_GPIO_A18	40	EX_GPIO_A18
H14	FPGA_GPIO_A19	39	EX_GPIO_A19
H13	FPGA_GPIO_A20	38	EX_GPIO_A20
H12	FPGA_GPIO_A21	37	EX_GPIO_A21
J18	FPGA_GPIO_A22	36	EX_GPIO_A22
J16	FPGA_GPIO_A23	35	EX_GPIO_A23
J13	FPGA_GPIO_A24	34	EX_GPIO_A24
K16	FPGA_GPIO_A25	33	EX_GPIO_A25
K18	FPGA_GPIO_A26	32	EX_GPIO_A26
K17	FPGA_GPIO_A27	31	EX_GPIO_A27
K15	FPGA_GPIO_A28	30	EX_GPIO_A28
K14	FPGA_GPIO_A29	29	EX_GPIO_A29
K13	FPGA_GPIO_A30	28	EX_GPIO_A30
K12	FPGA_GPIO_A31	27	EX_GPIO_A31
L18	FPGA_GPIO_A32	26	EX_GPIO_A32
L17	FPGA_GPIO_A33	25	EX_GPIO_A33
L16	FPGA_GPIO_A34	24	EX_GPIO_A34
L15	FPGA_GPIO_A35	21	EX_GPIO_A35
L14	FPGA_GPIO_B0	20	EX_GPIO_B0
L13	FPGA_GPIO_B1	19	EX_GPIO_B1
L12	FPGA_GPIO_B2	18	EX_GPIO_B2
M18	FPGA_GPIO_B3	17	EX_GPIO_B3
M16	FPGA_GPIO_B4	16	EX_GPIO_B4
M14	FPGA_GPIO_B5	15	EX_GPIO_B5
M13	FPGA_GPIO_B6	14	EX_GPIO_B6
N18	FPGA_GPIO_B7	13	EX_GPIO_B7
N17	FPGA_GPIO_B8	12	EX_GPIO_B8
N16	FPGA_GPIO_B9	11	EX_GPIO_B9
N15	FPGA_GPIO_B10	10	EX_GPIO_B10
N14	FPGA_GPIO_B11	9	EX_GPIO_B11
N13	FPGA_GPIO_B12	8	EX_GPIO_B12

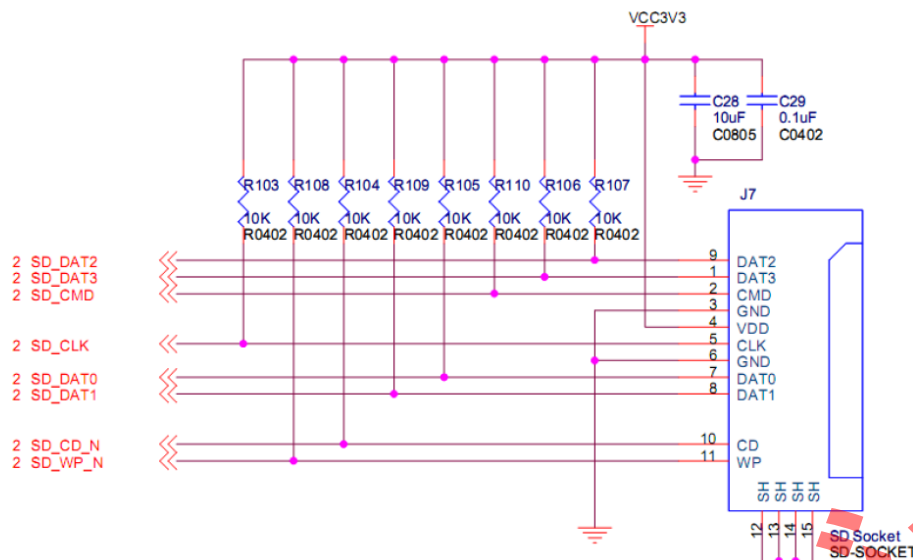
P18	FPGA_GPIO_B13	7	EX_GPIO_B13
P17	FPGA_GPIO_B14	6	EX_GPIO_B14
T18	FPGA_GPIO_B15	5	EX_GPIO_B15
T17	FPGA_GPIO_B16	4	EX_GPIO_B16
U18	FPGA_GPIO_B17	3	EX_GPIO_B17

2.14 SD カード

多くのアプリケーションは大容量の外部ストレージでデータを保存する（例：SD カード/CF カード）。本ボードは SD カード対応のハードウェアを提供する。ユーザーはコントローラを自分で開発し、SPI モード或いは SD カード 4 bit/1 bit モードで SD カードを操作する。

関連回路図：





FPGA と SD カード接続表

FPGA Pin (U1)	回路図ネットワーク名	SD Socket (J7)		
		Pin Number	Pin Name	Note
D9:Bank0	SD_CLK	5	CLK	クロック
A3:Bank0	SD_DAT0	7	DAT0	データビット 0
F9:Bank0	SD_DAT1	8	DAT1	データビット 1
E3:Bank0	SD_DAT2	9	DAT2	データビット 2
D6:Bank0	SD_DAT3	1	DAT3	データビット 3
D8:Bank0	SD_CMD	2	CMD	コマンド
F13:Bank0	SD_CD_N	10	CD	カード検索
G9:Bank0	SD_WP_N	11	WP	ライトプロテクト

第三部分 開発ボード快速入門

初心者には本開発ボードを最速に使いこなせるには、下記3つの部分を詳しく紹介する：

1. 初めてのFPGAプロジェクト

ユーザーはISE開発環境で新しいプロジェクトを作成、ファイル生成、開発ボードにダウンロードし、プログラムをデバッグまでのプロセスを紹介する。

2. 初めての組込CPUプロジェクト (MicroBlaze)

MicroBlazeソフトウェア作成し、これに基づいて簡単なプロジェクト開発の紹介。

3. Sigaのコンフィギュレーション方法とダウンロード手順

FPGAコンフィギュレーションを理解し、実行ファイルを作成、ダウンロードの手順を紹介する。

詳しくは¥ 02_spartan6_XC6SLX16_quick_start¥XC6SLX16_quickStart.pdfをご参照ください。

第四部分 Siga-S16 資料リスト

提供する資料リストを説明する。

Siga FPGA 開発ボード資料(太字部分は日本語の資料)

```
|-----01_spartan6_XC6SLX16_user_manual
|         |-----XC6SLX16_userManual. pdf
|         |-----XC6SLX16_GettingStart. pdf
|-----02_spartan6_XC6SLX16_quick_start
|         |-----MyFirstBlaze
|         |-----MyFirstFPGA
|         |-----XC6SLX16_quickStart. pdf
|-----03_spartan6_XC6SLX16_schematic
|         |-----Siga_SCH. pdf
|-----04_spartan6_XC6SLX16_PCB
|         |-----Siga_PCB File. pdf
|-----05_spartan6_XC6SLX16_datasheet
|-----06_spartan6_XC6SLX16_UCF
|-----07_spartan6_XC6SLX16_example_verilog
|         |-----DDR2_Control
|         |-----ISE_MB_TEST
|         |-----KEY
|         |-----LED
|         |-----PLL
|         |-----PWM
|         |-----random_num_gen
|         |-----UART_TEST
|         |-----USB_LOOP_TEST
|         |-----0701_XC6SLX16_DDR2_MIG. pdf
|         |-----0702_XC6SLX16_ISE_MicroBlaze. pdf
|         |-----0703_XC6SLX16_verilog_uart. pdf
|         |-----0704_XC6SLX16_random_num_gen. pdf
|-----08_spartan6_XC6SLX16_example_Microblaze
|         |-----Workspace
|         |-----0801_XC6SLX16_HW-MicroBlaze. pdf
|         |-----0802_XC6SLX16_SDK. pdf
|         |-----0803_XC6SLX16_LED. pdf
|         |-----0804_XC6SLX16_Timer. pdf
|         |-----0805_XC6SLX16_RS232. pdf
|         |-----0806_XC6SLX16_Audio. pdf
|         |-----0807_XC6SLX16_USB. pdf
|         |-----0808_XC6SLX16_USB-UART. pdf
|         |-----0809_XC6SLX16_DDR2. pdf
|         |-----0810_XC6SLX16_Ethernet. pdf
```

- |-----0811_XC6SLX16_SPI-FLASH. pdf
- |-----0812_XC6SLX16_Button. pdf
- |-----0813_XC6SLX16_SD. pdf
- |-----0814_XC6SLX16_Bootloader. pdf
- |-----09_spartan6_XC6SLX16_tools
- |-----10_spartan6_XC6SLX16_tutorial
- |-----11_spartan6_XC6SLX16_verilog
- |-----12_spartan6_XC6SLX16_Xilinx

株式会社日昇テクノロジー