

XC6SLX16 Getting Start マニュアル

株式会社日昇テクノロジー

http://www.csun.co.jp 🛌

info@csun.co.jp 🥖

作成・更新日 2014/04/11



copyright@2014



•修正履歴

NO	バージョン	修正内容	修正日
1	Ver1.0	新規作成	2014/04/11

※ この文書の情報は、文書を改善するため、事前の通知なく変更されることがあります。 最新版は弊社ホームページからご参照ください。「http://www.esun.co.jp」 ※ (株)日昇テクノロジーの書面による許可のない複製は、いかなる形態においても厳重に 禁じられています。

ホームページ:http://www.csun.co.jp メール





FPGA 開発ボードを手に入ると、先ずハードウェアのテストが必要とする。外部デバイスとの接続、データ 通信なども確認したいでしょう。

本文は FPGA のテスト環境を作成し、出荷時のプログラムを使用して FPGA 開発ボードの各機能をテストするための説明です。

本開発ボード出荷する前、Flash では事前にプログラムが書き込まれている。

説明内容は下記通り:

- 1. ハードウェア環境作成
- 2. デバッグコマンド
- 3. 実験 1: USB2.0 通信テスト
- 4. 実験 2: DDR2 テスト
- 5. 実験 3: Audio 音声通信テスト



先ず開発ボードのハードウェアインタフェースリソースを確認:



外部インタフェースが多いため、ニーズに応じて接続し、テストする。SD カードの部分の書き込みをテストする場合、SD カードを SD スロットに挿し入れ、USB2.0のデータ通信をテストする場合、PC を接続必要がある。

どの部分のテストでも、必要な 準備は下記の通り:

1、ディップスイッチ設定

1はON、2はOFF





2、USB ケーブルで開発ボードの USB シリアルポートと PC 接続

テストプログラムと PC の通信コマンドは開発ボードの USB Uart インタフェース(J8) で伝送する。PC から FPGA のテストプログラムへコマンドを送信し、ハードウェア機能をテストできる。



USB 接続後、PC はドライバーをインストールする提示がある。ドライバーは付属 DVD の 09_spartan6_XC6SLX16_tools フォルダーにある。完了後、デバイス管理で^{*}Silicon Labs CP210x USB to UART Bridge (COM4)^{*}を確認できる。 COM4 は後のグール設定で必要である。

Silicon Labs CP210x USB to UART Bridge (COM4)

3、ハイパーターミナルを起動

▶ メニュー→全てのプログラム→アタッチメント→通信→ハイパーターミナルを起動、任意名と命名。

新しい接続 - ハイパーターミナル	_``
ファイル(E) 編集(E) 表示(Y) 通信(C) 転送(T) ヘルプ(H)	
接続の設定	
 新しい接続 名前を入力し、アイコンを選んでください: 名前(N): 	
spartanô	

▶ COM4を選択、デバイス管理でのポート号と一致する。





🌯 spartan6 - ハイパーターミナル			18. JULY	
ファイル(E) 編集(E) 表示(Y) 通信(C) 転送(I) ヘルプ(H)				
				1
	9	X	n	
JUNIO JUL				
spartan6				
雷託悉号の情報を入力してください				
雷託悉号(p).				
と記載(N): 200M4				
	-			
ОК	++>	12H		
▶ ボーレートを 9600 に設定する。				
сом4のプロパティ	ן 🔻			
ポートの設定				
F"ット /秒(B): 第600				
データ ビット(<u>D</u>): 8				
パリティ(ロ) なし				
フロー制御(E): ハードウェア ▼				
▼ 既定値に戻す(<u>R</u>)				

> ハイパーターミナルメニューでファイル→プロパティー、 ASCII コード設定 を選択、ASCII コー ド設定のページで、 入力文字ローカルエコーする 有効。



低価格、高品質が不可能? 日昇テクノロジーなら可能にする

Spartan6 - ハイパーターミナル		X											
ファイル(<u>E</u>) 編集(<u>E</u>) 表示(<u>V</u>) 通信(<u>C</u>) 転送(T) ヘルプ(H)													
□ 🚔 👜 🌋 🗈 🎦 😭 spartan6のプロパティ 🛛 🖓 🐰													
接続の設定 設定 ファンクション キー、方向キー、Ctrl キーの使い方 ASCII 設定 ASCII の送信 行末に改行文字を付ける(S)													
▼ □													
 ▲信データに改行文字を付ける(A) ▲信データを強制的に 7 ビット ASCII にする(E) イ 右端で折り返す(W) ASCII 設定(A) 													
4、通電 電源ケーブル接続、スイッチ ON。													

ハイパーターミナルで下記の情報を表示する:



 参 spartan6 - ハイパ- ファイル(E) 編集(E) ロ 協 @ る = ロ 谷 	ミナル ミ(ビ) 通信(C) 転送(I) ヘルプ(H)
**************************************	Spartan-6 FPGA Siga-S16 Board ** Test
2:LED Test 3:Button Test 4:Timer Test 5:USB2.0 Test 6:DDR2 Test 7:Ethernet Loo 8:FLASH Test 9:Audio Test 10:SD Card Tes	:k Test

2 デバッグコマンド

本開発ボードのシリアルポートは 10 つのデバッグコマンドをサポートする。コマンド字は 1~10+ Enter 。例えば 3+ Enter 、プログラムは対応のテストプログラムを実行する、そして順次に SW1、SW2、 SW3、SW4、押すことを提示する。





キーテスト完了後、他の項目をテストできる。

🍣 spartan6 - ハイパーターミナル	
ファイル(E) 編集(E) 表示(⊻) 通信(C) 転送(I) ヘルプ(H)	
7:Ethernet Loopback Test 8:FLASH Test 9:Audio Test 10:SD Card Test	
3	

** Button Test **	

Please push Key1 Key1 pushed	
Please push Key2	
Please push Key3	=
Key3 pushed Please push Key4	
Key4 pushed	
Press select 1 10 for continue test.	
接続 0:05:52 自動検出 9600 8-N-1 SCROLL CAPS NUM キャ・ ユマーを印	
3 美��1:USB2.0 連信アスト	

この実験にはもう一本の USB ケーブル(A: Bタイプ)が必要とする。

ルで接続:

USB ケーブル ×2 開発ボード ×1 実験 PC ×1 開発ボードと PC を USB ケ



PC 側で USB 通信ツール CyCosole EZ-USB をインストール。(付属 DVD の 09_spartan6_XC6SLX16_tools) インストール完成後、もし USB ケーブル接続されていて且つボードに電源入れている場合、ソフトウェア は自動的に USB デバイスを識別する(開発ボードに CY7C68013A プログラムが硬化されている)



株式会社日昇テクノロジー

低価格、高品質が不可能? 日昇テクノロジーなら可能にする

🗑 EZ-USB Interface
Device EZ-USB Clear Load Mon S EEPROM Select Mon
Get Dev Get Conf Get Pipes Get Strings Download Re-Load Lg EEPROM URB Stat HOLD RUN
Vend Req Req 0x00 Value 0x0000 Index 0x0000 Length 0 Dir 0 0UT - Hex Bytes C0 B4 04 81 00 01 00 -
Iso Trans Pipe Length 128 Packet Size Packets
Bulk Trans Pipe 0: Endpoint 2 OUT V Length 512 Hex Bytes 5
Reset Pipe Abort Pipe File Trans Pipe 0: Endpoint 2 OUT
Set IFace Interface AltSetting
Get Dev をクリック、USB2.0 チップ CY7008013A の設定を表示する。
Device EZ-USB
Get Dev Get Conf Get Pipes Get Strings Download Re-Load Lg EEPROM URB Stat HOLD RUN
Vend Req Req 0x00 Value 0x0000 Index 0x0000 Length 0 Dir 0 OUT - Hex Bytes C0 B4 04 81 00 01 00 -
Iso Trans Pipe Length 128 Packet Size Packets
Bulk Trans Pipe 0: Endpoint 2 OUT V Length 512 Hex Bytes 5
Reset Pipe Abont Pipe File Trans Pipe D: Endpoint 2 OUT
Set IFace Interface AltSetting 0
Device Descriptor: bLength: 18 bDescriptorType: 1 bcdUSB: 0x0200 bDeviceClass: 0x00 bDeviceSubClass: 0x00 bDeviceProtocol: 0x00 bMaxPacketSize0: 64 idVendor: 0x04B4 idProduct: 0x1004

USB2.0 データ通信をテストする。ハイパーターミナルで 5+Enter を入力。



Spartan6 - ハイパーターミナル ファイル(E) 編集(E) 表示(Y) 通信(C) 転送(I) ヘルプ(H) D 🛩 🖉 第 凸 留
3:Button Test 4:Timer Test 5:USB2.0 Test 6:DDR2 Test 7:Ethernet Loopback Test 8:FLASH Test 9:Audio Test 10:SD Card Test 5

USB2.0:CV7C68013A EP6:IN,EP2:OUT Connect USB Port (J6) to PC with USB cable before test 512 bytes (0x00~0xFF) has been sent to PC please check the USB EP6 data in PC side: Please send bytes to EP2 port from PC USB
」 接続 0:13:31 自動検出 9600 8-N-1 SCROLL CAPS NUM キャ・ エコーを印

CyCosole EZ-USB インタフェースで 2: Endpoint 6 IN を選択、 Bulk Trans をクリック、キーは FPGA から PC への 512 個のデータを受信する。

🐨 E2	(–US	8 1	int	erf	ace	e																					
Devic	e	Z-I	JSB							-	1	<u>y</u> a	ear		oad N	/lon :	S EEPR	ом	Select	Mon							
Get	Dev	G	et Co	onf	G	et Pip	es	Ge	t Stri	ngs	D	ownia	ad	F	Re-Lo	ad	g EEPR	ом	URB	Stat	ŀ	IOLD		RUN			
Vend	Req	Re	eq 🚺)x00	ī v	alue	OxC	0000) 	dex	Ox	000	1 0	leng	¢th ∫	0	Dir 🛛	0 00	T 🔻	He	× Byt	es C	0 B4	04 8	81 00) 01	00 🔻
lso T	rans	Piķ	e [5	2	•	Ler	ngth	12	8	F	Packet	Size 🛛		F	acke	ets						
(Bulk 1	frans	Piķ	e 2	2: EI	ndp	oint	6 II			•	ler	ngth	51	2		Hex B	ytes 🛛	5							•		
Reset	Pipe	A	oort P	Pipe	Fil	e Tra	ns		Pipe	2	:En	dpa	oint	6 IN		•											
Set I	ace	Int	erfa	ce 🛙	0	A	ltSet	ting	0																		
****	****	****	****	* * * *	* * * *	* * * *	****	****	****	**																	^
Bulk	IN 3	ſra	nsfe	er																							
Bulk	IN S	suco	es:	5. -																							
dinno.	00	01	02	• 03	02	03	04	05	04	05	06	07	06	07	08	09	<u> </u>										
0010	08	09	OA	0B	0A	0B	0C	OD	0C	OD	OE	OF	OE	OF	10	11											
0020	10	11	12	13	12	13	14	15	14	15	16	17	16	17	18	19											
0030	18	19	1A	1B	1A	1B	10	lD	1C	1D	lE	lF	lE	lF	20	21											
0040	20	21	22	23	22	23	24	25	24	25	26	27	26	27	28	29											
0050	28	29	2A	2B	2A	2B	2C	2D	2C	2D	2 E	2F	2 E	2F	30	31											
0060	30	31	32	33	32	33	34	35	34	35	36	37	36	37	38	39											
0070	38	39	3A 42	3B 42	3A 42	3B 42	30	3D 4 5	30	3D 4 5	315 4 F	3F 47	38 46	3F 47	40 49	41 41											
0090	48	49	4A	4B	4A	4B	40	4D	4C	4D	4R	4F	4R	4F	50	51											_
OOAO	50	51	52	53	52	53	54	55	54	55	56	57	56	57	58	59											
00B0	58	59	5A	5B	5A	5B	5C	5D	5C	5D	5 E	5F	5 E	5F	60	61											_





CyCosole EZ-USB インタフェースで、ポート2を選択、 Bulk Trans キーは 512 個データ 5 を FPGA へ送信する。

🌍 EZ-USB Interface	
Device EZ-USB	Clear Load Mon S EEPROM Sele
Get Dev Get Conf Get Pipes Ge	et Strings Download Re-Load Lg EEPROM UR
Vend Req Req 0x00 Value 0x000	0 Index 0x0000 Length 0 Dir 0 OUT
Iso Trans Pipe	✓ Length 128 Packet Size
Bulk Trans Pipe D: Endpoint 2 OUT	Length 512 Hex Bytes 5
Reset Pipe Abort Pipe File Trans	Pipe 0: Endpoint 2 OUT 💌
Set IFace Interface O AltSetting	0

FPGA は USB2.0 インタフェース受信した 512 個のデータをシリアルポートへ送信、ハイパーターミナルで 表示する。



4 実験 2:DDR2 テスト

ハイパーターミナルで 6+ Enter 入力、DDR2 テスト開始。

テストプログラムはまず DDR2 SDRAM の開始アドレスとメモリ情報を表示する。次に DDR2 SDRAM スペース に読み取り/書き込み動作する、ここでは DDR2 SDRAM に三回テストを行う。

1) 32bit の 0x55555555 データを書き込み、パリティを読み取る。次 32bit の 0xAAAAAAAA データを書き 込み、パリティを読み取る。正確な場合、Pass。



2) 16bit の 0x5555 データを書き込み、パリティを読み取る。次 16bit の 0xAAAA データを書き込み、 パリティを読み取る。正確な場合、Pass。

3) 8bit の 0x55 データを書き込み、パリティを読み取る。次 8bit の 0xAA データを書き込み、パリティを読み取る。正確な場合、Pass。

🧶 spartan6 - ハイパーターミナル	
ファイル(E) 編集(E) 表示(⊻) 通信(C) 転送(I) ヘルプ(H)	
05 05 <td< td=""><td>*</td></td<>	*
512 bytes received. USB2.0 test passed. Press select 1 ~ 10 for continue test. 6	

** DDR Test	

Testing DDR2 Memory DDR SDRAM Base Address:0x48000000 DDR SDRAM Size:0x8000000 bytes 32-bit test passed 16-bit test passed	
8-bit test passed	Ξ
Press select 1 ~ 10 for continue test.	-
接続 0:45:33 自動検出 9600 8-N-1 SCROL CAPS NUM キャ・ エコーを印	

テストプログラムは DDR2 SDRAM で実行するため、メモリスペース全体のテストではなく、プログラム占めたスペース以外の空きスペースをテストした。

5 実験 3: Audio 音声通信テスト

マイクとイヤホーンを開発ボードの J11、J12 に接続。

 $\times 1$

MICイヤホーン





ハイパーターミナルで 9+ Enter を入力、 Start record your voice 表示後、マイクに音声を入力、 FPGA テストプログラムは音声を DDR2 に保存する。



次イヤホーンで先録音した音声が再生できる。

以上。