

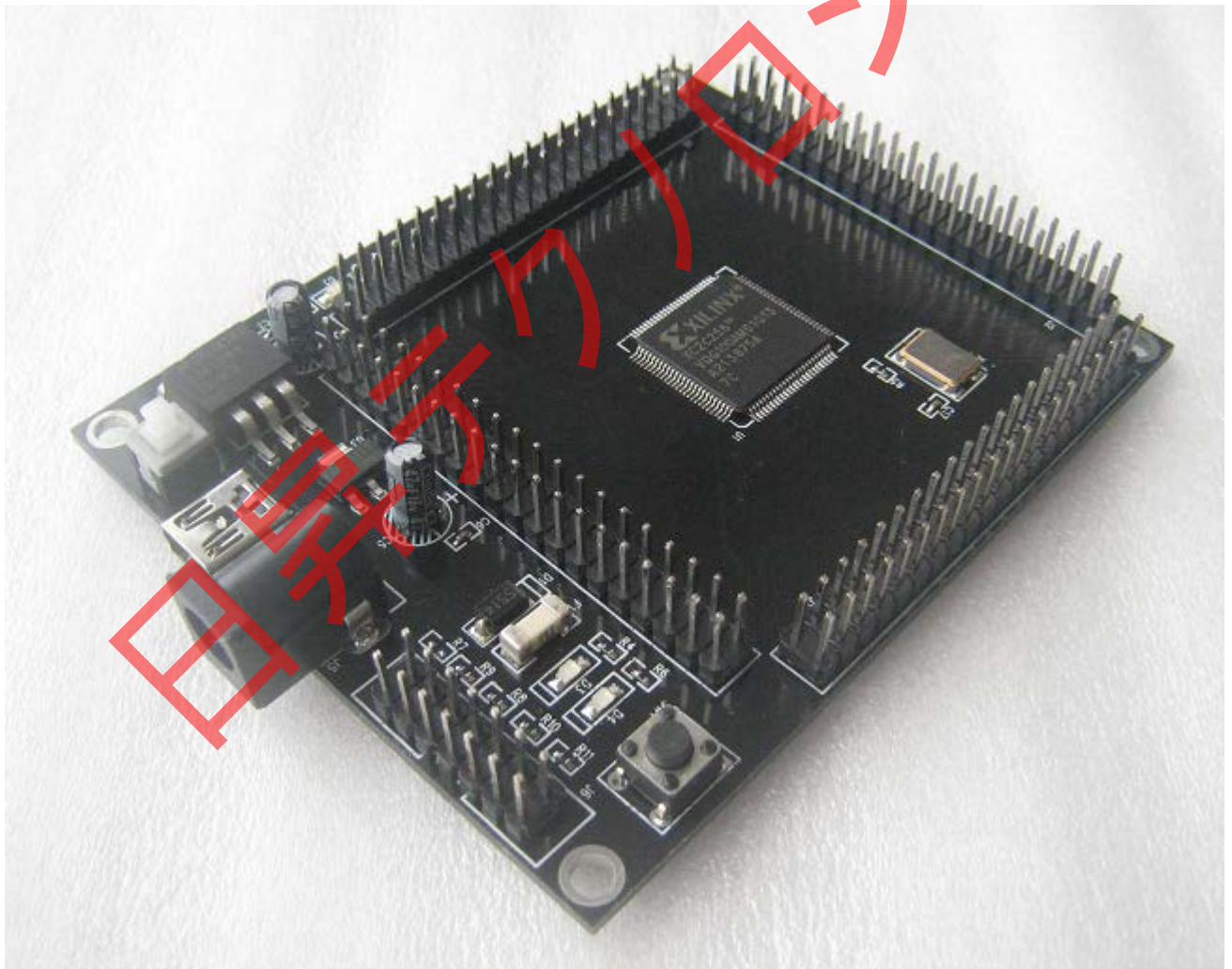
XILINX CPLD XC2C256 開発ボードのマニュアル

株式会社日昇テクノロジー

<http://www.csun.co.jp>

info@csun.co.jp

作成日 2014/8/8



copyright@2014

・修正履歴

NO	バージョン	修正内容	修正日
1	Ver1.0	新規作成	2014/8/8

※ この文書の情報は、文書を改善するため、事前の通知なく変更されることがあります。
最新版は弊社ホームページからご参照ください。「<http://www.csun.co.jp>」

※ (株)日昇テクノロジーの書面による許可のない複製は、いかなる形態においても厳重に禁じられています。

日昇テクノロジー

目次

1、注意事項	4
2、開発ボードの主な部品及びハードウェアリソース	5
2.1 主な部品	5
2.2 ハードウェアリソース	5
2.3 PCB とサイズ	7
3、開発ボードの実装と使用	8
3.1 開発ボードの実装	8
3.2 開発ボードの使用	9
3.2.1 ロジック開発プロセスの紹介	9
3.2.2 ダウンロード	13
4、開発ボード回路説明	15
4.1 電源回路	15
4.2 クロック回路	15
4.3 リセット回路	16
4.4 JTAG インタフェース回路	16
4.5 LED 回路	16
4.6 外部拡張 IO	16

1、注意事項

用要求

- ケーブルを抜き差しする前に、開発ボードを使用中止し、電源を切る。
- 不明なもの又は液体が開発ボードと接触した場合に、すぐに開発ボードを使用中止し、電源を切って開発ボードに接続するケーブルを全部抜き出す。
- 異常状況が出る場合に、例えば、設備から煙が出る、異臭を放つ時に、すぐに開発ボードを使用中止し、電源を切る。
- 長時間に使用しない場合に、電源を切る。

静電気安全及び保護

静電気はしばしば開発ボードのチップを損傷する発生誘因となっている。そのため、開発ボードに触る前に十分な保護対策を行わなければならない。

ケーブルの挿抜安全

- ケーブルを挿抜する場合に、フラットケーブルの方向を間違い無い様に注意してください。間違った場合、ロジックチップ又はダウンロードケーブルを損傷する恐れがある。
- 電源を入れたまま JTAG ケーブルを挿抜操作禁止。通電状態操作すればロジックチップに内蔵された設定回路に致命的な損傷をもたなす。(コンピュータマザーボードのボードを挿抜と同じ)

外部電源の使用

開発ボードが DC 5V 電源入力をサポートする。DC 電源インターフェースを使う場合に、電圧が間違い又は極性が逆接するで開発ボードを損傷しないように、電源アダプタ出力が 5V、かつ内側が正極、外側が負極である事を確認する。

開発ボードは USB 電源給電もサポートする。標準携帯電話の充電器及び Mini USB 線により開発ボードに給電する。

開発ボードを給電する場合に、DC インターフェースでも Mini USB インターフェースでも使える。(自由に一つを選ぶ)

開発ボードとインターフェースボードの接続

3列ソケットにより開発ボードとインターフェースボードを接続する。開発ボードにはピンヘッダ、インターフェースボードにはソケットがある。単独に本ボードを使わない場合は、出来るだけ抜き出さないでください。

本ボードを取り出す時に、片手でインターフェースボードを固定しながら本ボードを握り適当な力で取り出す。(ボードを握る力を適当に調整する)

本ボードを取り付ける時、ボードの方向を十分に注意してください。ピンヘッダとソケットが1対1対応するかを確認し、取り付ける。

2、開発ボードの主な部品及びハードウェアリソース

2.1 主な部品

開発ボードのコアチップはXILINX社CoolRunner IIシリーズのCPLD XC2C256を使用している。CoolRunner™-II 1.8V CPLDは高性能、低消費電力で業界をリードする。CoolRunner-II CPLDはDataGATE、I/O技術、業界に最小なサイズのパッケージなどの特徴を追加している。かつ、XC9500シリーズに比べて、電力消費及び多重I/O電圧機能を追加した。

下図はチップの特性である。

CoolRunner-II CPLDの特性

CoolRunner-II CPLD 的特性

Features	CoolRunner-II
Enhanced design security	4 levels
DataGATE signal blocking	✓
Multiple I/O banking	2 to 4
Input hysteresis and programmable grounds	500 mV
Clock Divider	✓
Clock Doubler	✓
CoolCLOCK	✓
DualEDGE Flip-Flop	✓
Multiple LVCMOS, HSTL, SSTL I/O	✓
Small form factor packaging	✓

		CoolRunner-II Family						
		Part Number	XC2C32A	XC2C64A	XC2C128	XC2C256	XC2C384	XC2C512
Logic Resources	System Gates		750	1,500	3,000	6,000	9,000	12,000
	Macrocells		32	64	128	256	384	512
	Product Terms Per Macrocell		56	56	56	56	56	56
Clock Resources	Global Clocks		3	3	3	3	3	3
	Product Term Clocks Per Function Block		16	16	16	16	16	16
I/O Resources	Maximum I/O		33	64	100	184	240	270
	Input Voltage Compatible		1.5/1.8/2.5/3.3	1.5/1.8/2.5/3.3	1.5/1.8/2.5/3.3	1.5/1.8/2.5/3.3	1.5/1.8/2.5/3.3	1.5/1.8/2.5/3.3
	Output Voltage Compatible		1.5/1.8/2.5/3.3	1.5/1.8/2.5/3.3	1.5/1.8/2.5/3.3	1.5/1.8/2.5/3.3	1.5/1.8/2.5/3.3	1.5/1.8/2.5/3.3
Speed Grades	Min. Pin-to-Pin Logic Delay (ns)		3.8	4.6	5.7	5.7	7.1	7.1
	Commercial Speed Grades (Fastest to Slowest)		-4, -6	-5, -7	-6, -7	-6, -7	-7, -10	-7, -10
	Industrial Speed Grades (Fastest to Slowest)		-6	-7	-7	-7	-10	-7 ⁽¹⁾ , -10

CPLDの場合マクロセルとI/Oは評価の重要な指標である。XC2C256 は256つのマクロセル、80つのI/Oがある。

2.2 ハードウェアリソース

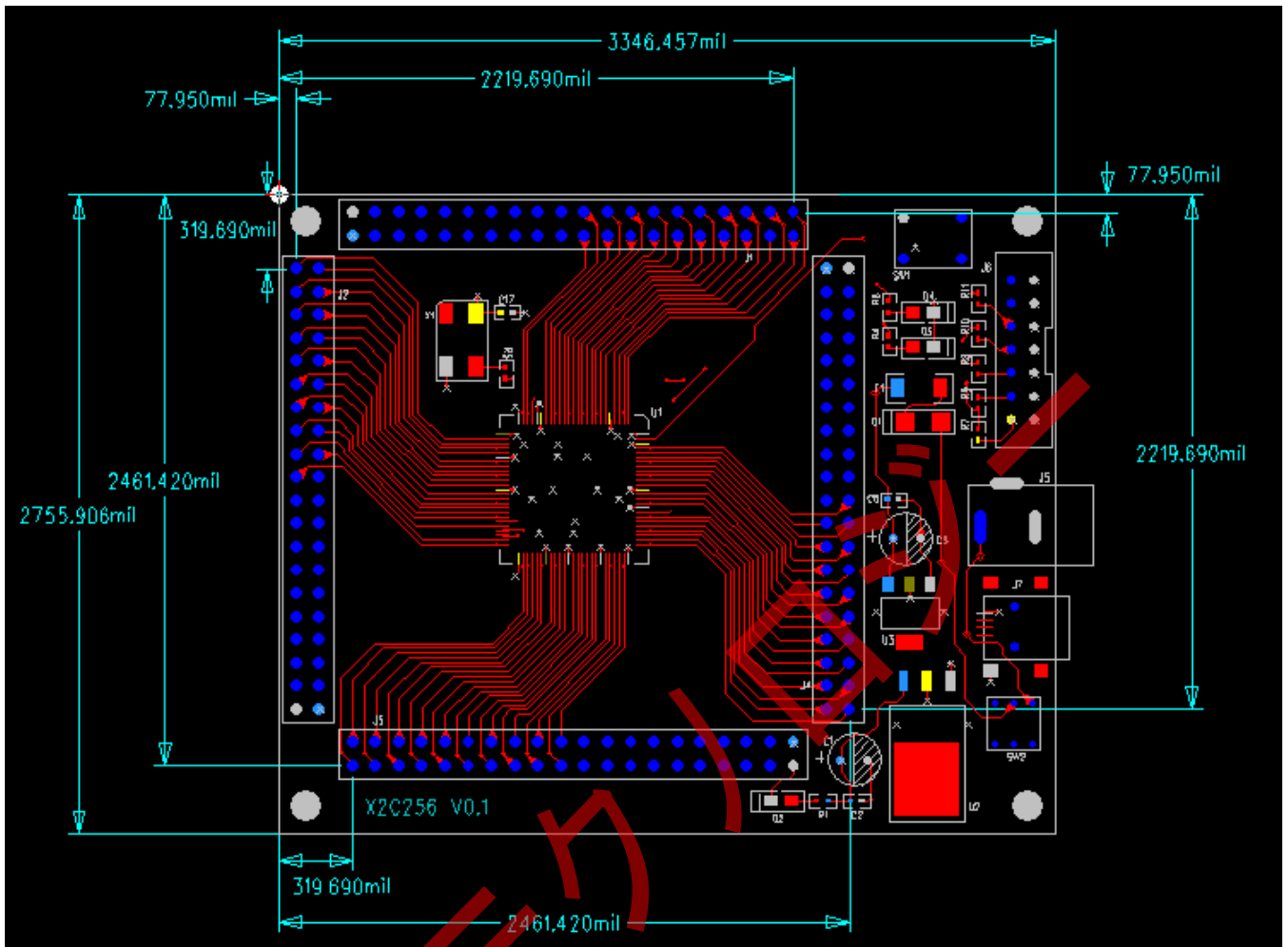
- コアチップはXILINX社CoolRunner IIシリーズのCPLD XC2C256VQG100を使用している。
- 50MHz水晶発振器を搭載、システム動作のメインクロックを提供する。
- ハイパワーLD0のLM1085-3.3v電源管理チップを使用して、最大3A, 3.3Vの電圧出力をサポートする。

- AMS1117-1.8Vレギュレータチップを使用し、コア電圧を提供する。
- IN5819高速ショットキー・ダイオード、抗逆方向電力設計。
- セルフロック電源スイッチ一つ搭載。
- 5VのDC電源ソケットを搭載、電源アダプタで給電できる。
- MiniUSBコネクタを搭載。標準的な携帯電話の充電器で給電できる。
- 赤いハイライトLED一つ、電源表示用。
- 青いハイライトLED二つ、LEDの点滅実験用。
- リセットキー一つ、ユーザーキーとして利用可。
- JTAGインタフェースをサポートする。
- デカップリング設計、数多いのデカップリング・コンデンサを搭載する。
- I/Oインタフェースは、4つの拡張インターフェース・ソケット、標準的な2.54mmピッチ。

下図は開発ボードのイメージ：



2.3 PCB とサイズ



PCB サイズ : 3346.457*2755.906 (単位 : mil)

J1.1 位置 : (2219.690, -77.950) (単位 : mil)

J2.1 位置 : (77.950, -319.690) (単位 : mil)

J3.1 位置 : (319.690, -2461.42) (単位 : mil)

J4.1 位置 : (2461.420, -2219.690) (単位 : mil)

3、開発ボードの実装と使用

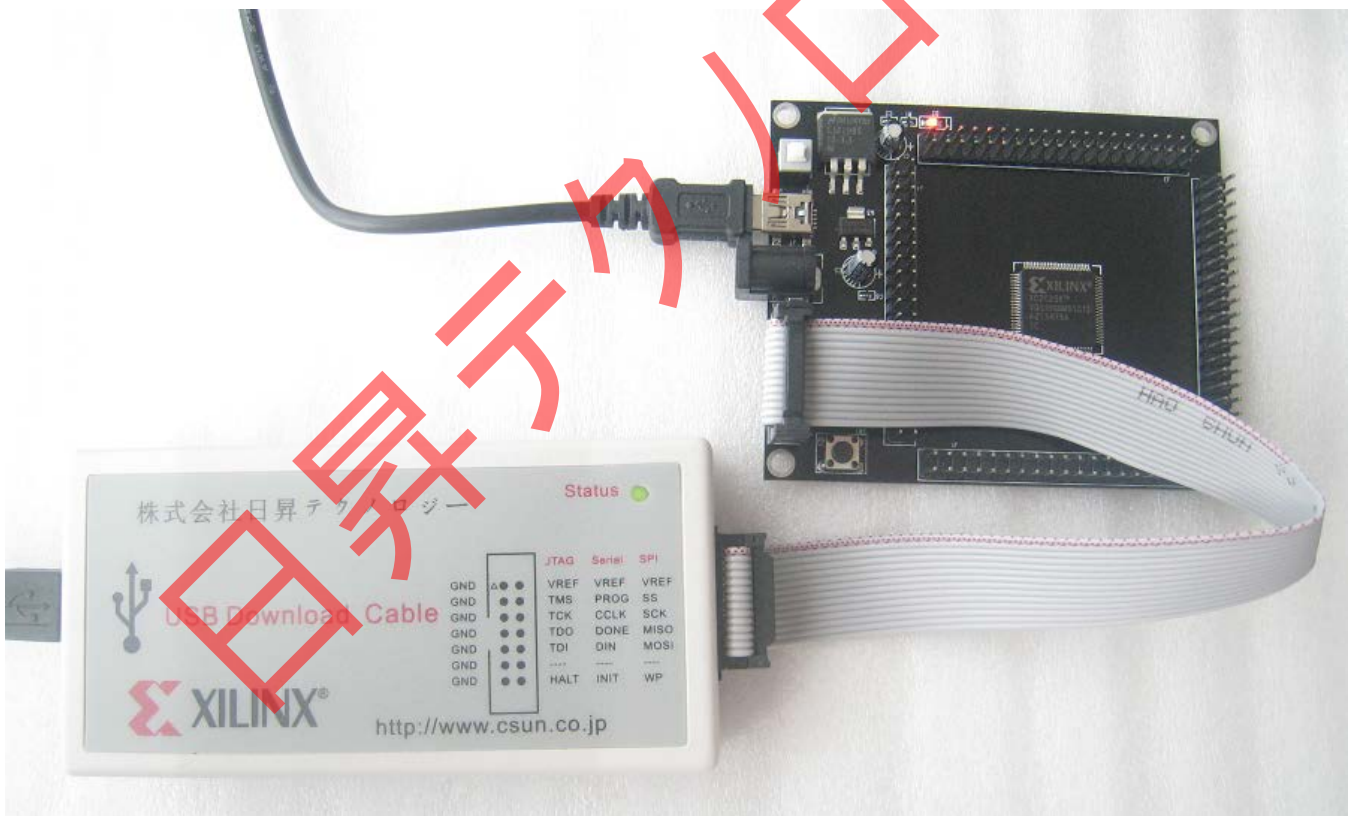
本開発ボードは以下の部品が含んでいる。

- 開発ボード 1個
- Mini USB線 1本
- スタッドとネジ 4本ずつ

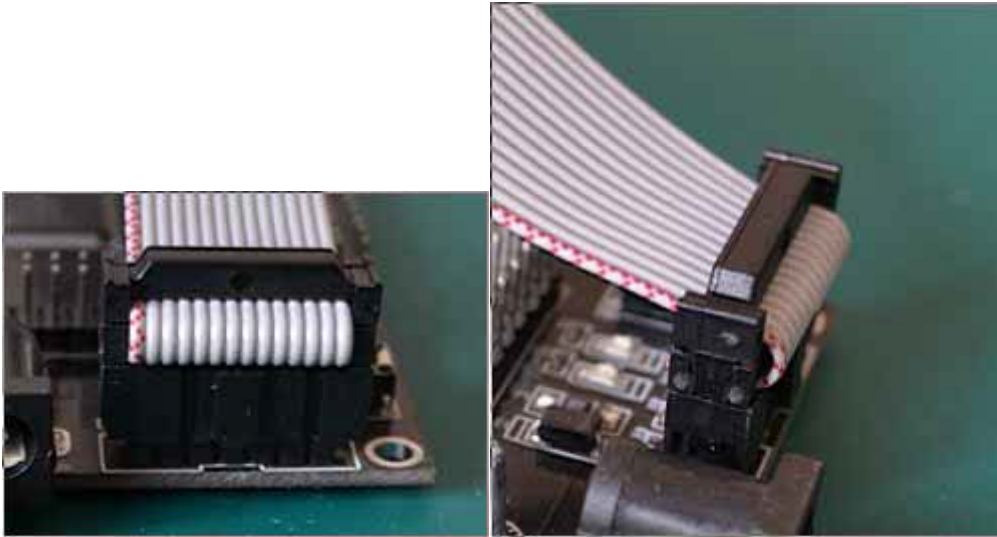
3.1 開発ボードの実装

- スタッドを開発ボードの穴に取り付ける。
- ダウンロードケーブルを開発ボードに接続する。(注意：フラットケーブルの赤い側がボードの1ピンに接続する。)
- Mini USBを開発ボードに接続し、ボードに電源を提供する。
- 実装された開発ボードをデスクの上に平らに置く。
- パソコンに関連ソフトウェアをインストールする。例えば ISE、テキスト編集ソフトウェア UltraEdit、コーディングチェックソフトウェア Nlint など。

開発ボードの接続図：



下図がデータケーブルと開発ボードの接続詳細図：



下図がインタフェースに接続した実物図（ボードには 1602ALCD スクリーンを接続する）



注意：データケーブルを接続する時に、方向を注意してください。

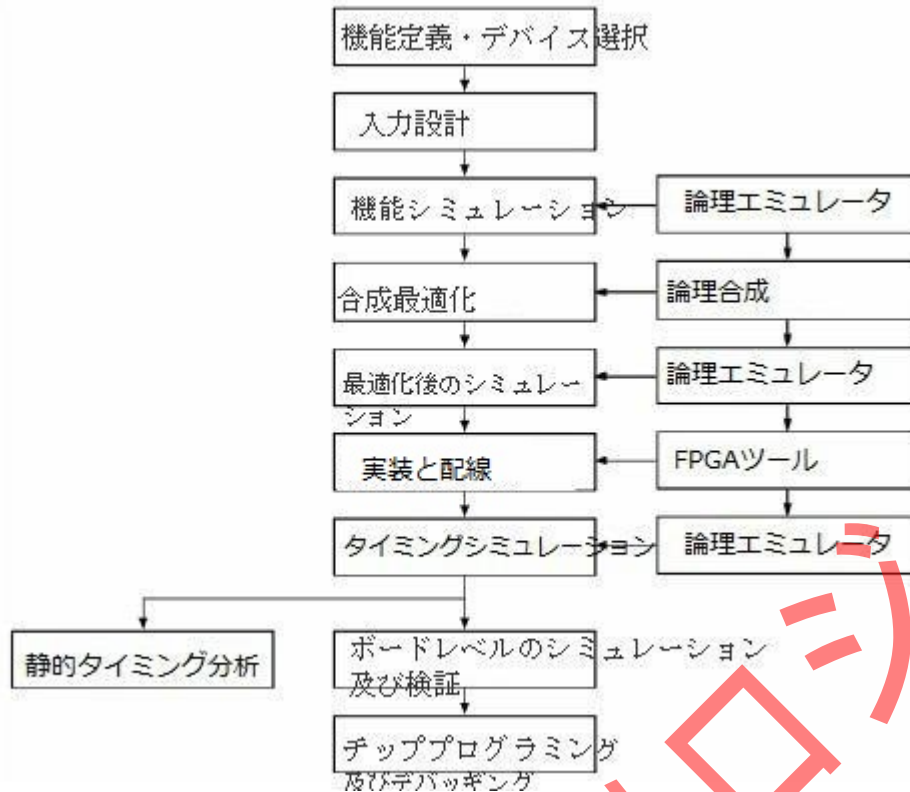
3.2 開発ボードの使用

開発ボードが正確に接続したあと、ボードに電源を入れる。

3.2.1 ロジック開発プロセスの紹介

ロジック開発は、ハードウェア設計とソフトウェア設計二つの部分が含まれている。ハードウェアはロジックチップ回路、JTAG、クロック、リセット、メモリ、入出力インタフェース回路及び他のインタフェースが含まれている。これは本ボードで提供している。ソフトウェアはHDLプロセスである。この部分はお客様の事情によって自分で設計する。ここでご参考までいくつかの例を提供する。

ロジック設計プロセスは EDA 開発ソフトと編集ツールを利用して、ロジックチップに対する開発する。代表的なロジック開発プロセスは機能定義・デバイス選択、入力設計、機能シミュレーション、合成最適化、最適化後のシミュレーション、実現及び配線後のシミュレーション、ボードレベルのシミュレーション、チッププログラミング及びデバッグなどのステップを含んでいる。下図の通り：



機能定義：実現したい機能を定義する。例えば、開発ボード上の二つのLEDの点滅。

入力設計：ハードウェア記述言語（HDL）で実現したい機能を記述する（つまり、テキスト編集ソフトウェア UltraEdit に HDL 言語で記述）。回路図モードを推奨していない（非効率的な方法、維持するのが困難、モジュール構造と再利用も難しい。かつ、回路図のポータビリティが悪い）。例えば、下図は一つのLED点滅の設計記述、つまりLEDが50000000回のclkずつ一回点滅する。

```

parameter TIME_COUNT = 32'd100000000;

/***** ポート声明 *****/
//input
input      clk;
input      reset_n;

//output
output [1:0] led_flash; //LEDは1S間隔で点灯する。1 : 点灯 ; 0 : 消灯

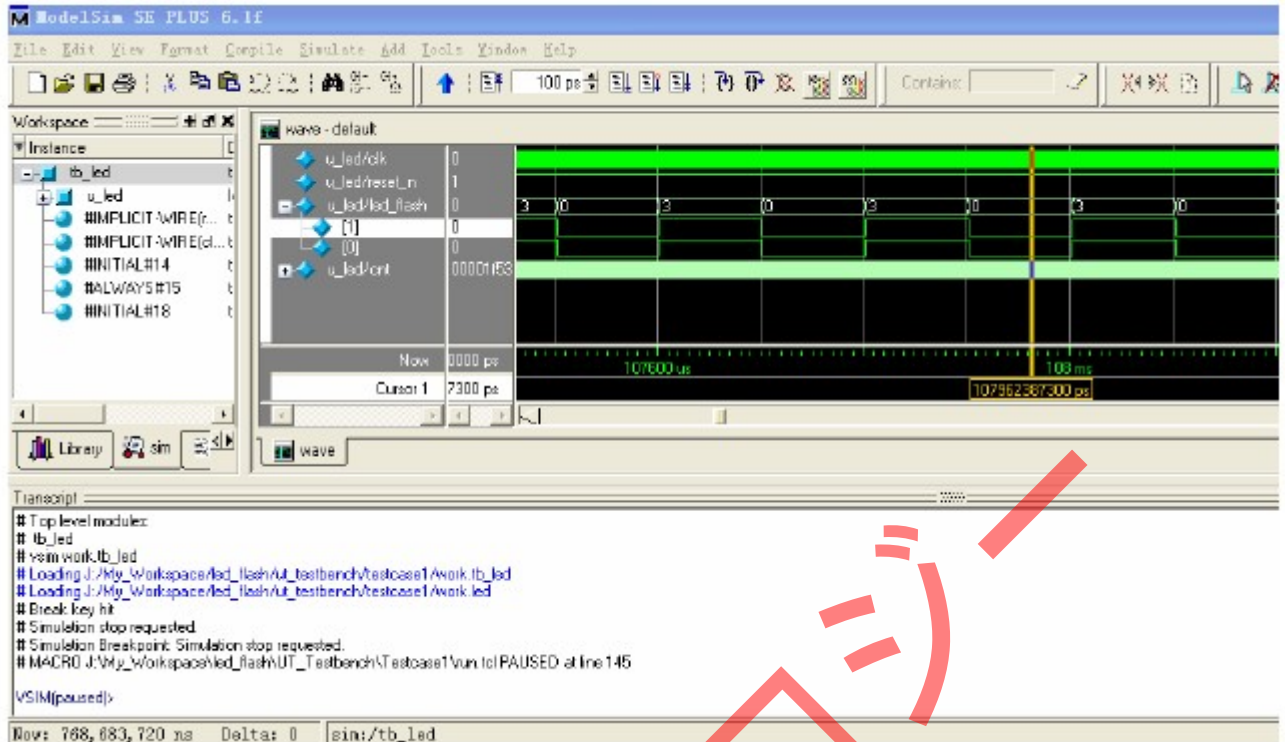
/***** ポート定義 *****/
reg [1:0] led_flash;

/***** 内部信号定義 *****/
reg [31:0] cnt;

/***** コード開始 *****/
always @(posedge clk or negedge reset_n)
begin
  if (reset_n == 1'b0)
    cnt <= 32'b0;
  else if (cnt >= TIME_COUNT - 1'b1)
    cnt <= #U_DLY 32'b0;
  else
    cnt <= #U_DLY cnt + 1'b1;
end

always @(posedge clk or negedge reset_n)
begin
  if (reset_n == 1'b0)
    led_flash <= 2'b0;
  else if (cnt == TIME_COUNT - 1'b1)
    led_flash <= #U_DLY 2'b11;
  else if (cnt == (TIME_COUNT>>1) - 1'b1)
    led_flash <= #U_DLY 2'b0;
  else
    ;
end
  
```

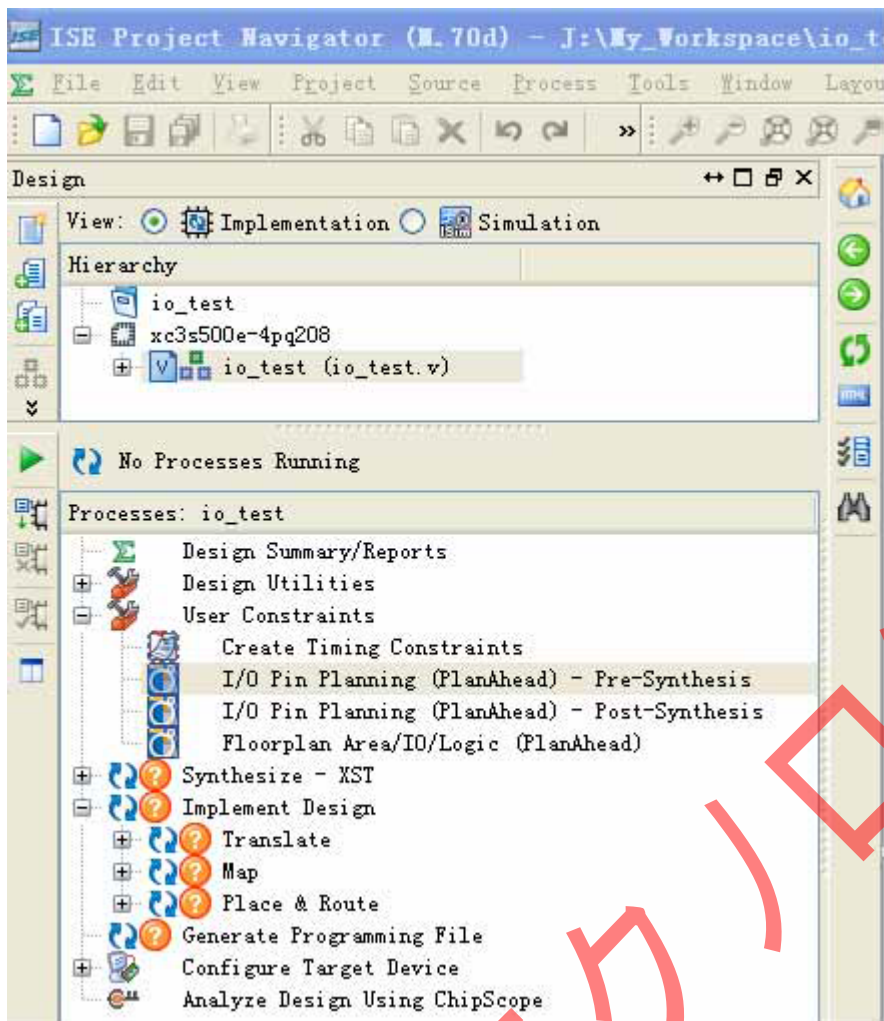
機能シミュレーション：前シミュレーションとも呼ばれる。コンパイルの前にユーザーにより設計された回路のロジック機能を検証する。一般的には Modesim 又は Questa でシミュレーションする。下図が LED 点滅のシミュレーション波形である。Led_flash の値が一定な時間を間隔し 1 になり、LED を点灯する。



合成最適化：設計入力を、実際のゲート回路ではなく、AND ゲート、OR ゲート、NAND ゲート、RAM、トリガーなどの基本ロジックユニットから組み立てられた論理接続ネットリストにコンパイルされる。実際のゲート回路はメーカーのレイアウトソフトウェアを利用して、合成に生成された標準ゲートレベル構造に応じて生成する。XILINX 会社の部品は、設計を ISE に導入し、ISE ソフトウェアで合成最適化する。

合成後のシミュレーション：合成後の結果と当初の設計が同じかどうかを確認する。シミュレーションの時、合成に生成された標準遅延ファイルを合成のシミュレーションモデルにマークし、ゲート遅延の影響を推定できる。

配線レイアウトと実装：つまり、ロジックメーカーのソフトウェアを利用して、ロジックを目標デバイス構造のリソースにマッピングし、ロジックのベストレイアウトを決定する。ロジックと入出力機能の接続配線チャンネルを選択する上に、接続し、対応的なファイル（例えば設定ファイル、関連報告）を生成し、合成に生成されたロジックネットリストを具体的なロジックチップに配置する。XILINX 会社の部品は、設計を ISE に導入し、ISE ソフトウェアで配線レイアウトを行って、設定ファイルを生成する。下図は LED 点滅で配線レイアウトの例である。



タイミングシミュレーション：後シミュレーションとも呼ばれる。配線レイアウトの遅延情報を設計ネットリストにマークし、タイミングの違反（即、タイミング約束条件又はデバイス固有のタイミング規則に満足しない、例えば、セットアップ時間、ホールド時間など）を検出する。タイミングシミュレーションの遅延情報は最も正確、最も完全である。

ボードレベルのシミュレーション：主に高速回路設計に使用される。高速システムの信号完全性、電磁妨害などを分析し、一般的には第三者によりシミュレーションと検証が行われる。

チッププロフラミングとデバッグ：チッププロフラミングは配線レイアウトと実現後に生成された bit ファイルをロジックチップ又は設定チップにダウンロードし、定義された機能を実現させる。デバッグは FPGA チップのオンラインエンベデッドロジックアナライザで（例えば、XILINX ISE における chipScope, ALTERA Quartus における SignalTap）波形を採集し、かつ分析することである。

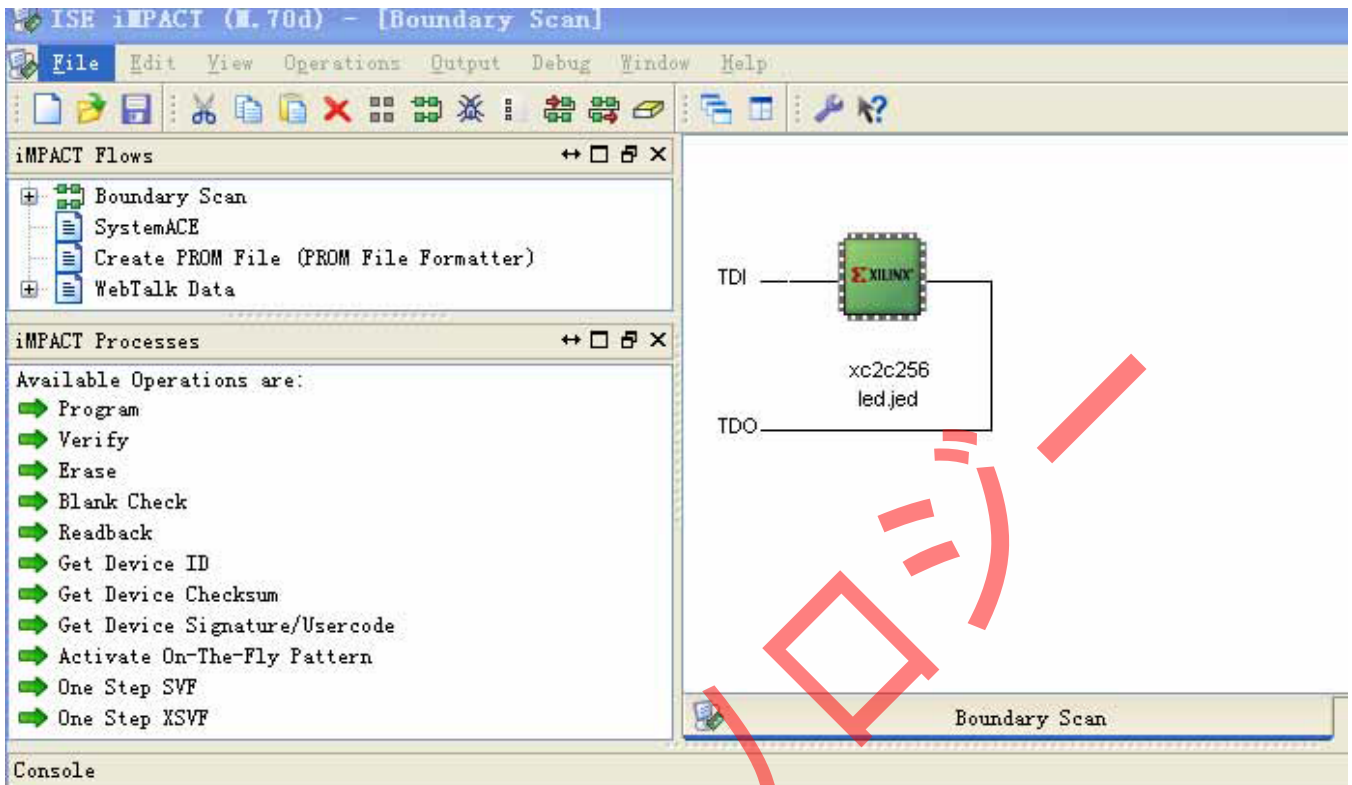
3.2.2 ダウンロード

本開発ボードは JTAG モードをサポートする。次に、これについて紹介する。

ダウンロードファイルは JED ファイル。JTAG インタフェースを通じて、ロジックを CPLD の内蔵 FLASH にダウンロードする。電源切れの場合に、内容は失わない。

- 1) ISE ソフトウェアで設定ファイルを生成する（サフィックス JED）；
- 2) データケーブルを開発ボードの JTAG コネクタに接続する；
- 3) 開発ボードに電源を入れる；

4) ISE の「Tools」に「iMPACT」をクリックし、JED ファイルを選択してから右側の XILINX アイコンをクリックし、次に「program」ダブルクリックしダウンロードする。



4、開発ボード回路説明

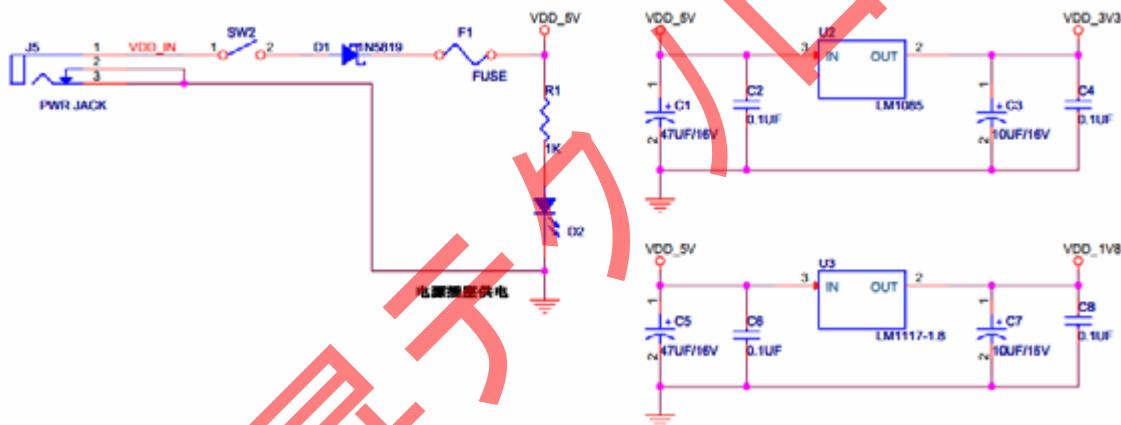
4.1 電源回路

本開発ボードは外部から5Vの電源を投入し、LM1085-3.3Vレギュレーターを通じて3.3V電源を出力する。主にCPLD IO、LED、リセット回路用の電源とする。

5Vの電源はAMS1117-1.8Vを通じてCPLDコアに電源を提供する。

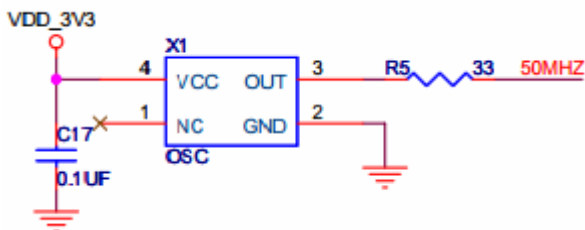
SW2はセルフロック電源スイッチ、D2は電源表示灯、D1は電力の逆接続を防ぐ指示灯である。

同時に、電力システムの安定性を向上させるために、電源入出力の部分に高品質の電解及びタンタルコンデンサを設計した。下図は回路図である。



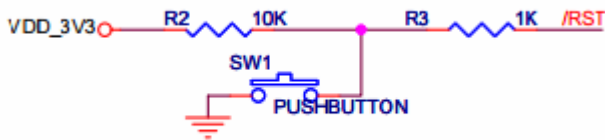
4.2 クロック回路

50MHz水晶発振器でシステム動作にクロックを提供する。下図が回路図である。



4.3 リセット回路

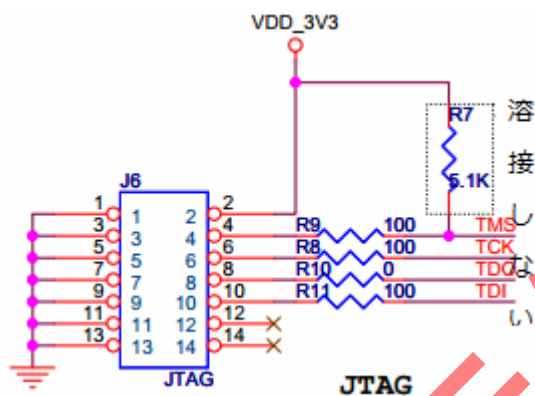
ローレベルリセット、普通のボタンとしても使える。XC2C256 の Pin99 に接続する。下図が回路図である。



RESET

4.4 JTAG インタフェース回路

ロジックを CPLD にダウンロードに利用する。電源切れの場合に、CPLD のロジックが失わない。下図が回路図である。



注意：ロジック内部がプルアップされたため、TMS と TDI はプルアップ抵抗を使用しない。

4.5 LED 回路

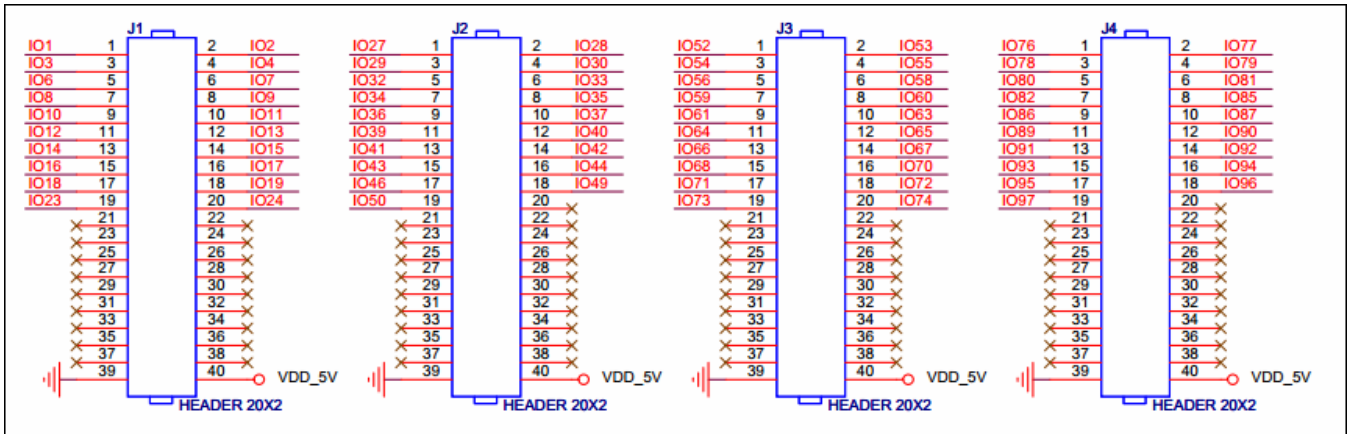
LED 二つ、ハイレベルで点灯し、LED 試験に利用する。例えば、点灯、点滅など。下図が回路図である。



LED

4.6 外部拡張 IO

開発ボードのすべての IO は四つのピン配列で外部に引き出している。40pin、2.54mm ピッチ、ピンの定義は下図の通りに：



以上。

