



不可能への挑戦

株式会社日昇テクノロジー

低価格、高品質が不可能？

日昇テクノロジーなら可能にする

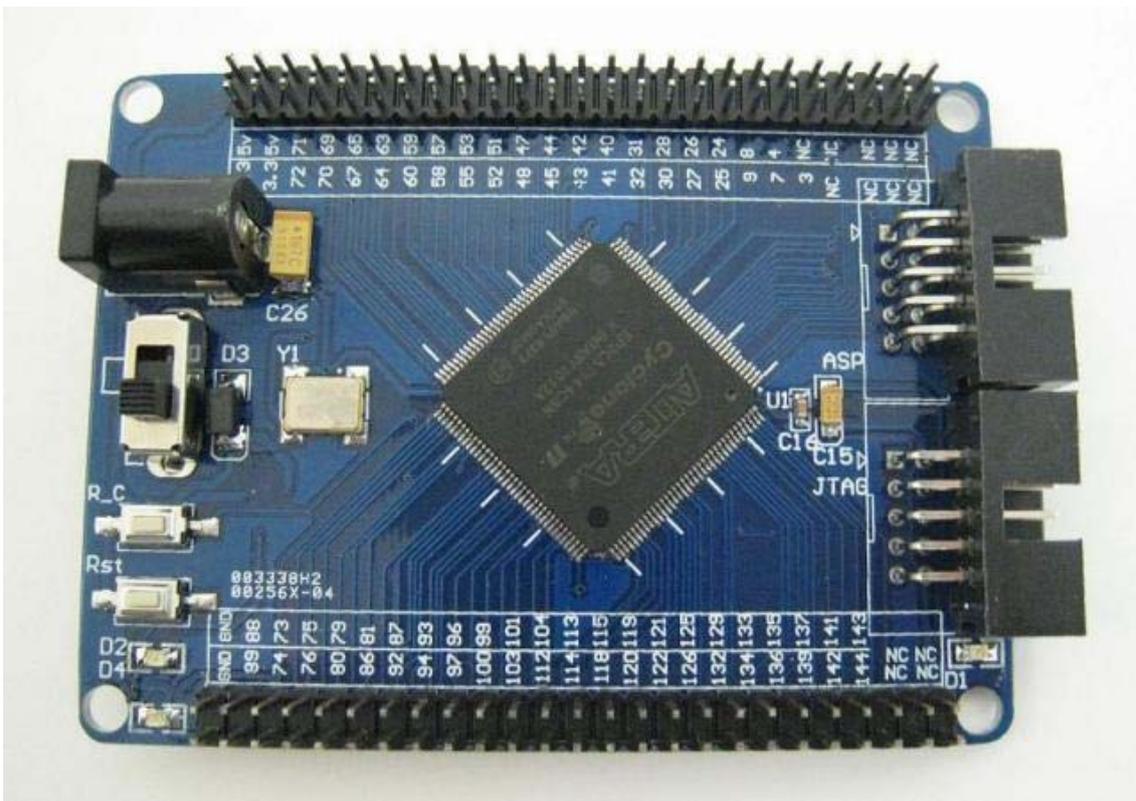
Cyclone II EP2C5T144 ボード マニュアル

株式会社日昇テクノロジー

<http://www.csun.co.jp>

info@csun.co.jp

2012/01/13



copyright@2012

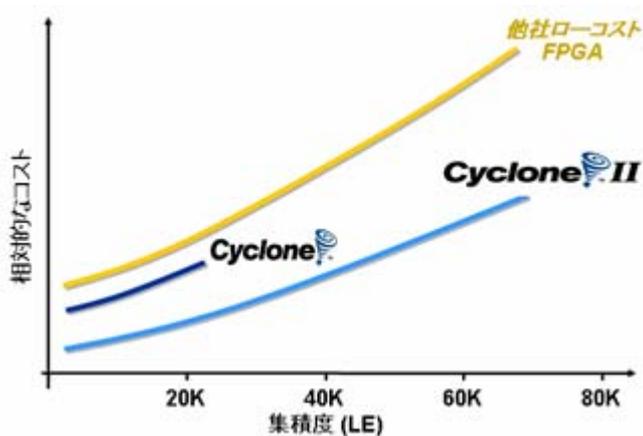
第一章 Cyclone II/EP2C5T144 ボードの概要.....	3
1.1 概要仕様	4
1.2 ハードウェアの構造.....	6
1.2.1 四つのBANK.....	6
1.2.2 拡張ピンヘッダ及びSRAMインタフェース	7
1.2.3 ユーザLED (D4) の回路.....	8
1.2.4 I2Cインタフェース	9
1.2.5 SRAMインタフェース	10
1.2.6 コンフィギュレーションの回路	11
1.2.7 クロック及びRESET回路.....	12
1.3 CPLD/FPGAの実験用I/Fボードとの接続.....	12
1.4 サンプルソースについて	14
1.4.1 Logic_verilog.....	14
1.4.2 sram_25616.....	15
1.4.3 Logic_vhdl.....	15
1.4.4 EP2C5 ボードのLEDテスト	15
第二章 開発ツールのインストール.....	15
2.1 Quartus II Web Editionをインストールする	16
2.2 Nios II エンベデッド・デザイン・スイートをインストールする.....	23
第三章 Cyclone IIの初体験.....	29
3.1 Quartus II評価版にソースを読み込む.....	29
3.2 USB-Blasterをインストールする.....	30
3.3 書き込むソフトウェアを起動する	33
3.4 FPGAのコンフィギュレーションデバイスに書き込む	35
第四章 注意事項.....	37
4.1 電源.....	37
4.2 JTAGの挿入と抜出の操作手順.....	37
4.3 ソフトウェアについて	37
4.4 ピンの複用.....	37
4.5 参考資料	37

※ 使用されたソースコードは<http://www.csun.co.jp/>からダウンロードできます。

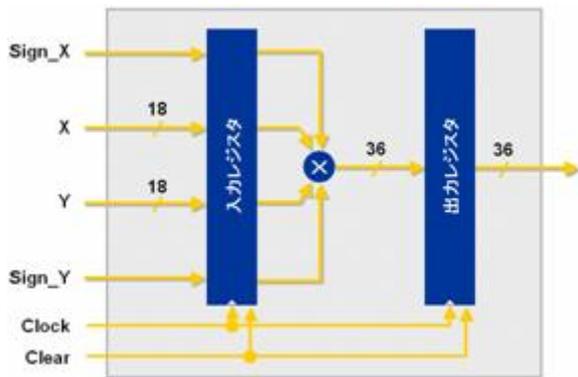
第一章 Cyclone II/EP2C5T144 ボードの概要



Cyclone II デバイスは、90-nm テクノロジーの優位性（小型ダイ・サイズ、高集積度、および低コスト）と、低コスト FPGA における最速性能を提供します。すべての Cyclone II デバイスは、TSMC の 90-nm プロセス技術と low-k 低誘電材を使用して 300-mm ウェハ上に製造されています。



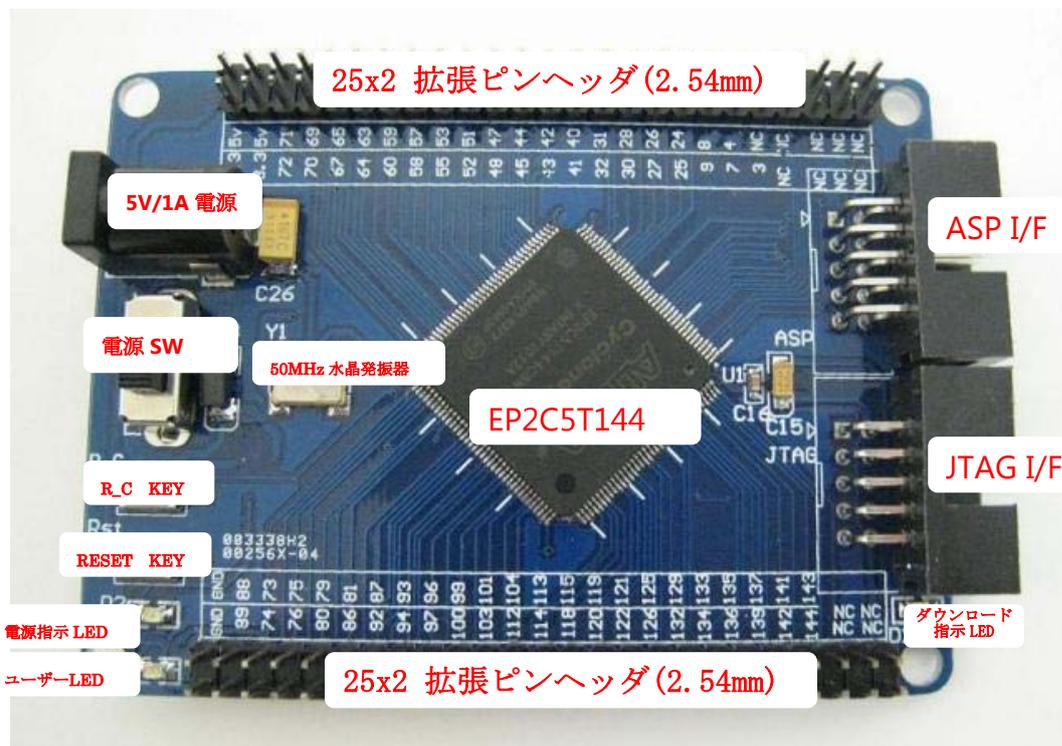
Cyclone II デバイスは、一般的なデジタル信号処理 (DSP) 機能を実装できる、最大 150 個の 18 ビット x 18 ビット・マルチプライヤを備えています。エンベデッド・マルチプライヤは、ロジック・エレメント (LE) ベースのマルチプライヤと比較してより高い性能とロジック効率を提供します。



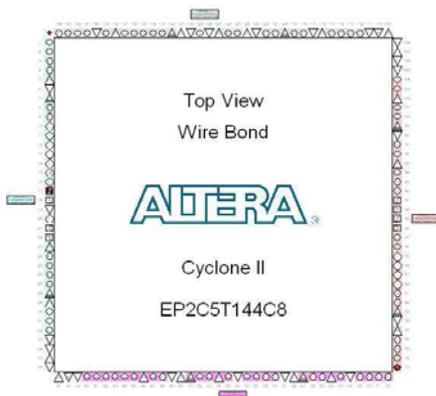
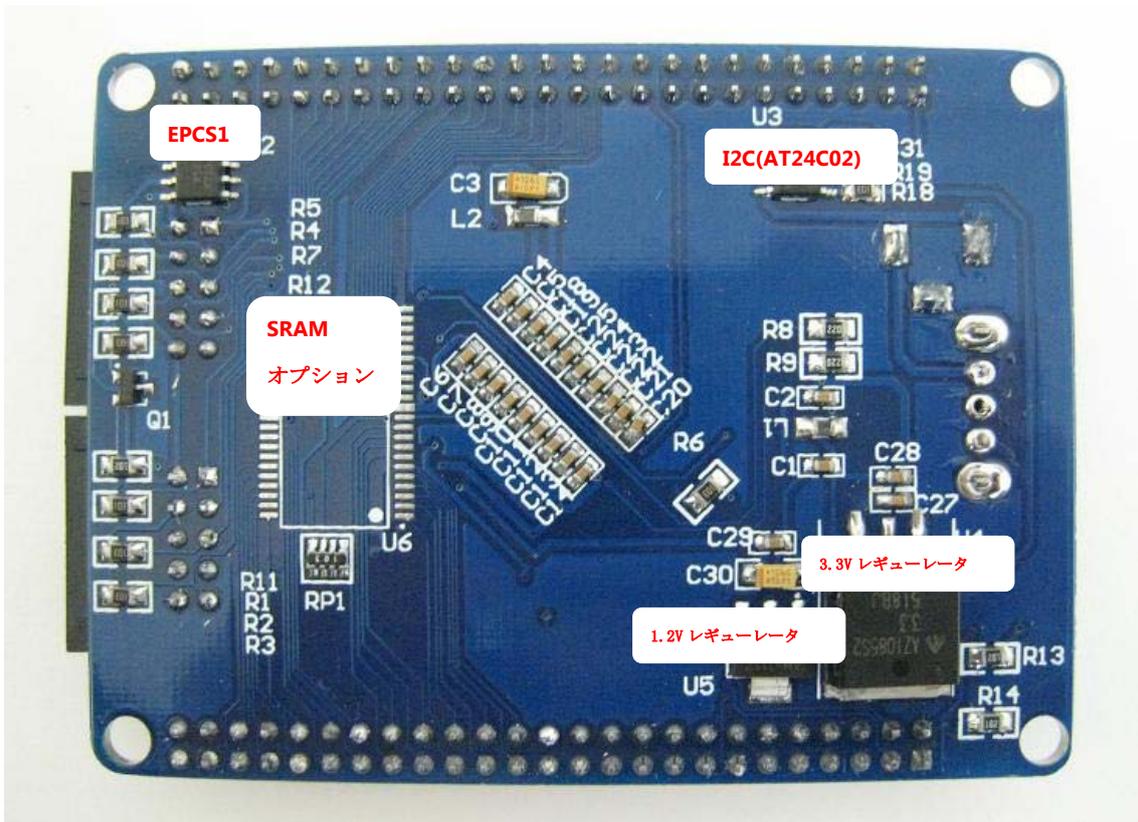
250 MHz の性能

特徴	デバイス					
	EP2C5	EP2C8	EP2C20	EP2C35	EP2C50	EP2C70
ロジック・エレメント数	4,608	8,256	18,752	33,216	50,528	68,416
M4K RAM ブロック数	26	36	52	105	129	250
RAM 総ビット数	119,808	165,888	239,616	483,840	594,432	1,152,000
エンベデッド乗算器数	13	18	26	35	86	150
PLL 数	2	2	4	4	4	4

1.1 概要仕様



裏面のイメージ：



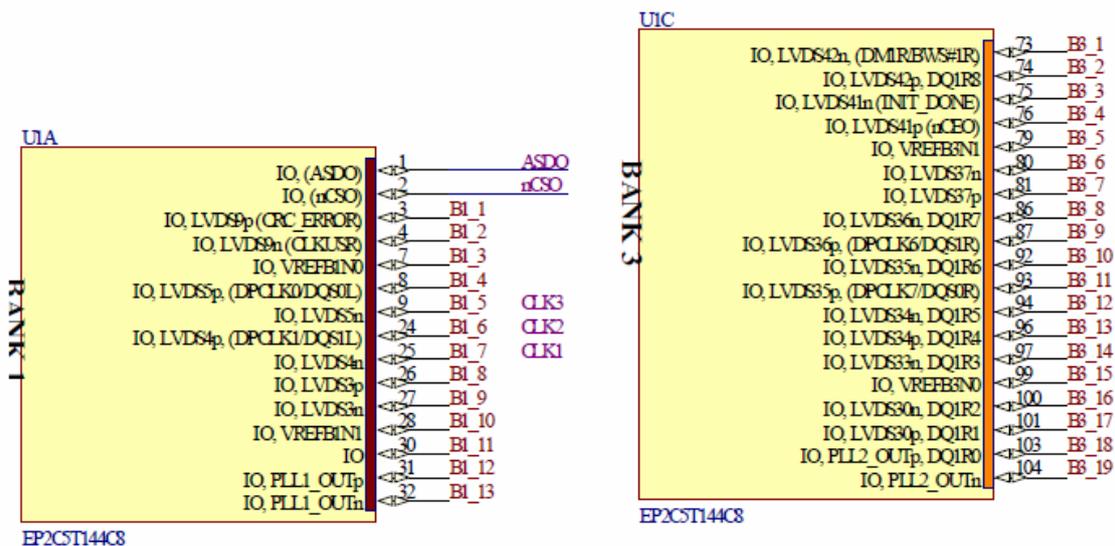
- EP2C5T144C8 FPGA マイコン搭載
- 50MHz 水晶発振器搭載
- 5V 電源で給電、電源スイッチと電源指示 LED 付き
- R_C キー、押下して EPCS1 からソースを読んで実行開始する
- 1085-3.3V/1117-1.2V レギュレータ搭載

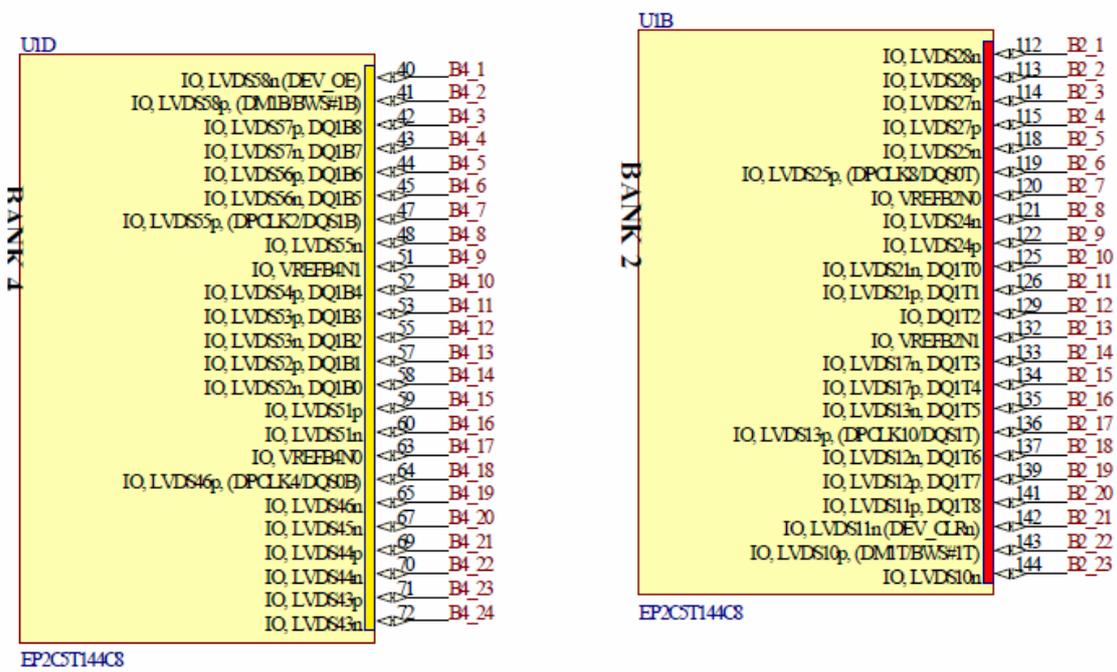
- JTAG I/F、SOF ファイルをダウンロードする。直接 FPGA に書き込んで、速度は速いですが、電源切れたらなくなる。デバッグする時に利用するのをお勧め。
- ASP I/F、POF ファイルをダウンロードする。コンフィギュレーションデバイス EPCS4 に書き込む。速度は JTAG より遅いですが、電源切れても保持する。最後のプログラム或いは電源を再起動が必要な場合利用する。※書き込み終了したら、電源を切って、ケーブルを抜けてから、正常に次の操作が出来る。
- ユーザ LEDx1
- ユーザボタン x1、Reset キーと複用
- すべての IO を 2.54mm 拡張ピンヘッダで引き出されている
- コンフィギュレーションデバイス EPCS1(1Mbit)搭載
- SRAM インタフェース (IS61LV25616AL 256kx16b)
- I2C (AT24C02) 搭載
- 外形寸法: 81×60(mm) ※突起物は除く
- 回路図を提供しております
- サンプルのソースコードを提供しております

1.2 ハードウェアの構造

1.2.1 四つのBANK

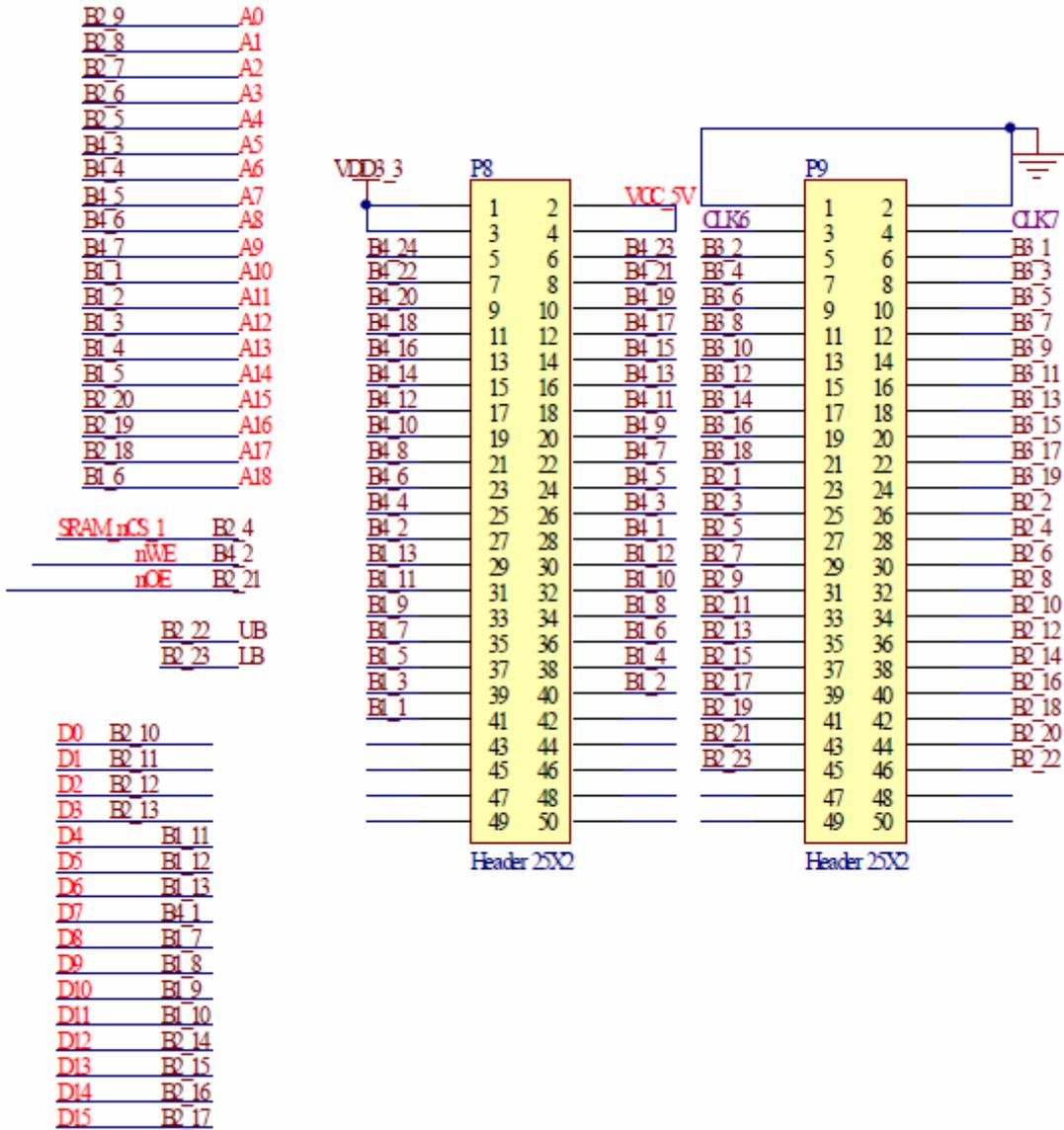
- 1) ASD0、Pin1 は ASP 回路のピンの一つ
- 2) nCS0、Pin2 は ASP 回路のピンの一つ
- 3) nCEO、Pin76 は複数機能のピンで、ASP 回路のピンとしても利用し、単独の IO としても利用できる。番号は B3_4。





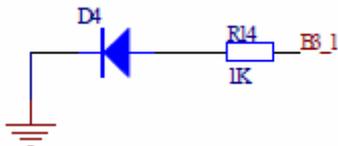
1.2.2 拡張ピンヘッダ及びSRAMインタフェース

引き出されているピンは下記の図の通り：



利用していないピンと電源関連ピンを除いて、 $100 - 13 \text{ (NC)} - 6 \text{ (power)} = 81$ 個のIOピンが利用できる。その内CLK6とCLK7はInputピンで、その他は全てInput/Output両方使えるピンになっている。図の右側はIS61LV25616AL, 512kのSRAMのインターフェース。

1.2.3 ユーザLED (D4) の回路



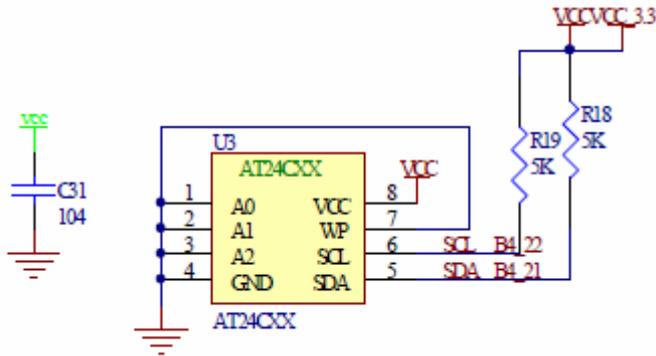
ピン配置：

```
# led on core board
```

```
set_location_assignment PIN_73 -to led
```

信号	ピン	機能
LED	73	LED

1.2.4 I2Cインタフェース



ピン配置：

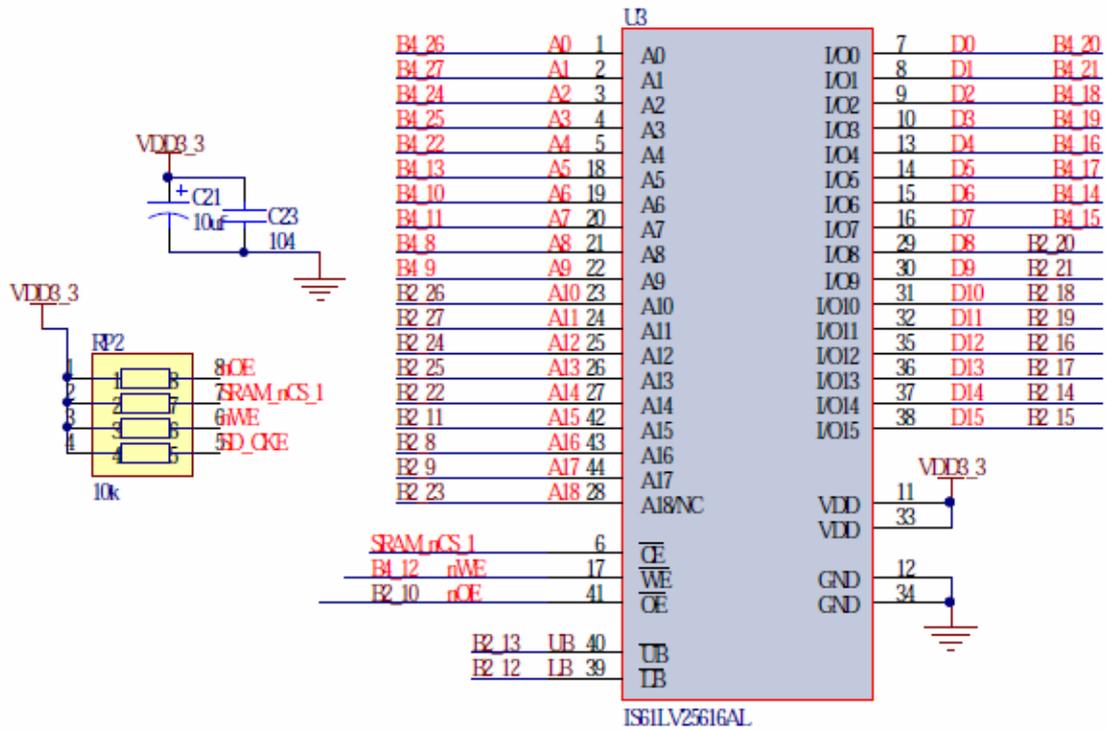
AT24C02 on core board

```
set_location_assignment PIN_70 -to SCL_I2C
```

```
set_location_assignment PIN_69 -to SDA_I2C
```

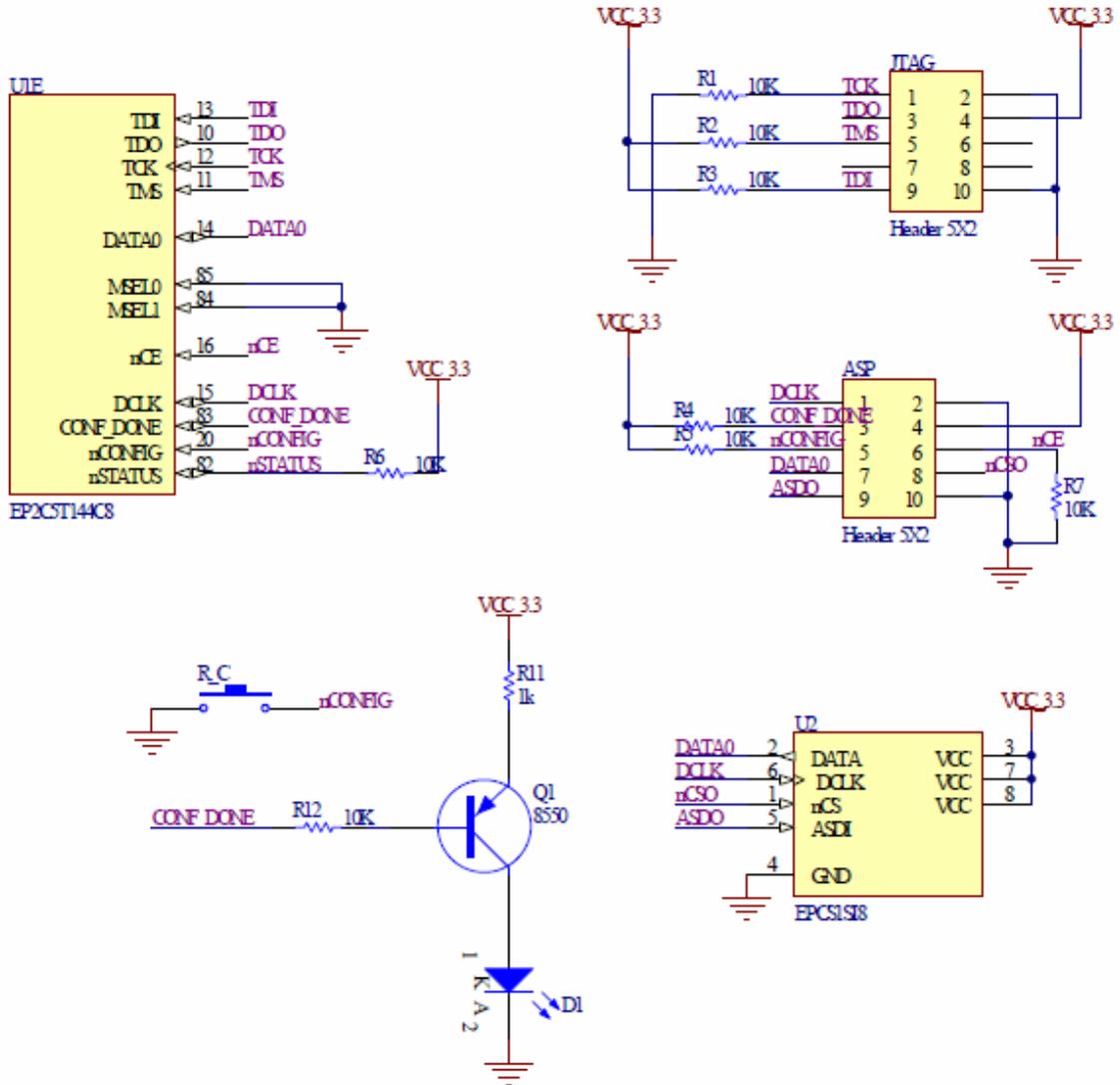
信号	ピン	機能
SCL_I2C	70	AT24C02 シリアル通信クロック信号
SDA_I2C	69	AT24C02 シリアル通信データ信号

1.2.5 SRAMインターフェース

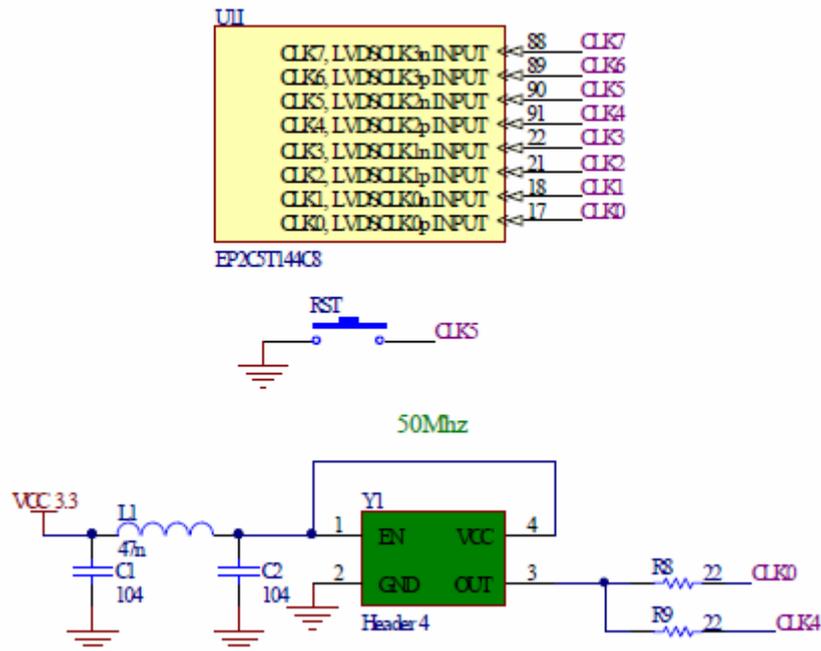


RAMを拡張すると共にNios IIをもっと良くサポートする為、SRAMインターフェースを提供している。IS61LV25616ALで実現している。アドレスラインが18本で、A18は1MのSRAMと交換性を持つためである。その他、データラインが16本、制御ラインが5本で、合わせてIOの39個を使っている。256x16bKbitで512kBの容量である。

1.2.6 コンフィギュレーションの回路



1.2.7 クロック及びRESET回路

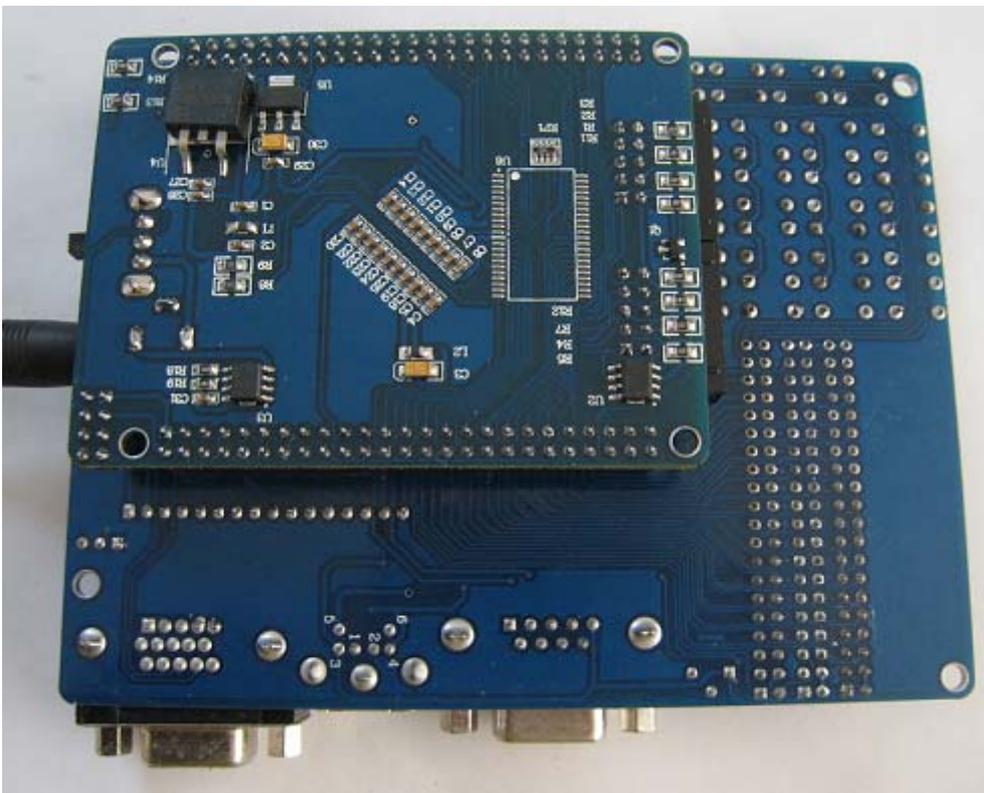
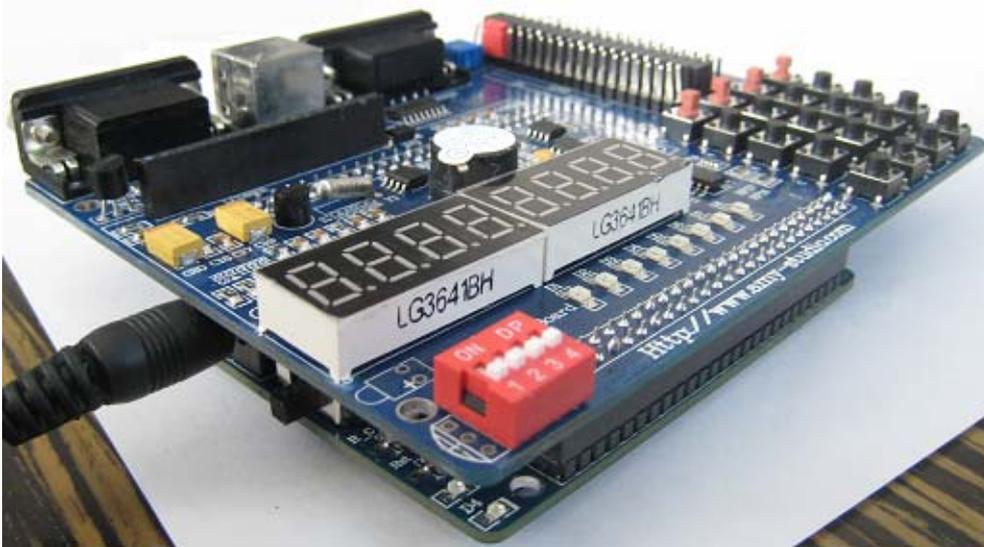


本ボードは 50MHz 水晶発振でシステムにクロックを提供している。ユーザーに 8 個のクロックを用意している。全部普通の入力ピンとして利用できる。設計上では下記のように設定している：

- 1、CLK0 と CLK4 はシステムにクロックを提供し、直接 50MHz 水晶発振と接続している。
- 2、CLK5 はユーザのプログラミングによって RESET として利用できる。
- 3、CLK6 と CLK7 は引き出されていて、入力ピンとして利用できる。
- 4、CLK1、CLK2 と CLK3 は引き出されていない。

1.3 CPLD/FPGAの実験用I/Fボードとの接続

イメージ：



引き出しているピンリスト：

GND	GND		3.3v	5v
130	131		3.3v	5v
135	137		133	134
138	139		127	128
141	142		117	118
143	144		115	116



144	145		113	114
147	149		110	112
150	151		106	107
152	160		102	105
161	162		99	101
163	164		96	97
165	168		94	95
169	170		90	92
171	173		88	89
175	176		86	87
179	180		82	84
181	182		80	81
185	187		76	77
188	189		74	75
191	192		70	72
193	195		68	69
197	198		64	67
199	NC		NC	63
NC	NC		NC	NC

1.4 サンプルソースについて

Example_EP2C5.zip に下記サンプルソースは含まれている。

1.4.1 Logic_verilog

turn_on_led

LED 点灯

sw_led

DIP で LED 制御

rider_led

rider_led テスト

water_led

ウォーターLED

key_led_without_debounce

タッチ SW で LED 制御 (手ぶれ処理なし)

key_led_with_debounce



タッチ SW で LED 制御（手ぶれ処理あり）

seg7x8_dynamic_disp

7SEGMENT 動的表示

matrixKeyboard_seg7

キーマトリクスと 7SEG 表示

beep_test

ブザーテスト

beep_matrixKeyboard

周波数よりの簡易ブザーテスト

lcd1602_test

LCD1602 表示

lcd1602_clock

簡易クロック、LCD1602 表示

vga_color_slip

VGA カラースクリーン表示

vga_char

VGA キャラクター表示

uart_tx_test

シリアル通信送信テスト

uart_rx_test

シリアル通信受信テスト

ps2_keyboard_test

PS2 キーボードテスト

ds18b20_seg7

DS18B20 温度検出、7SEG 表示テスト

1.4.2 sram_25616

SRAM テスト(オプション)

1.4.3 Logic_vhdl

VHDL プログラム例 (LED 点灯、ウォーターLED)

1.4.4 EP205 ボードのLEDテスト

ボードの簡易テスト

第二章 開発ツールのインストール

CPLD/FPGA の開発には、ALTERA から Quartus II Web Edition という無償版のツールが公開されているのでこちらを利用します。Quartus II には別に製品版があり、Web Edition は

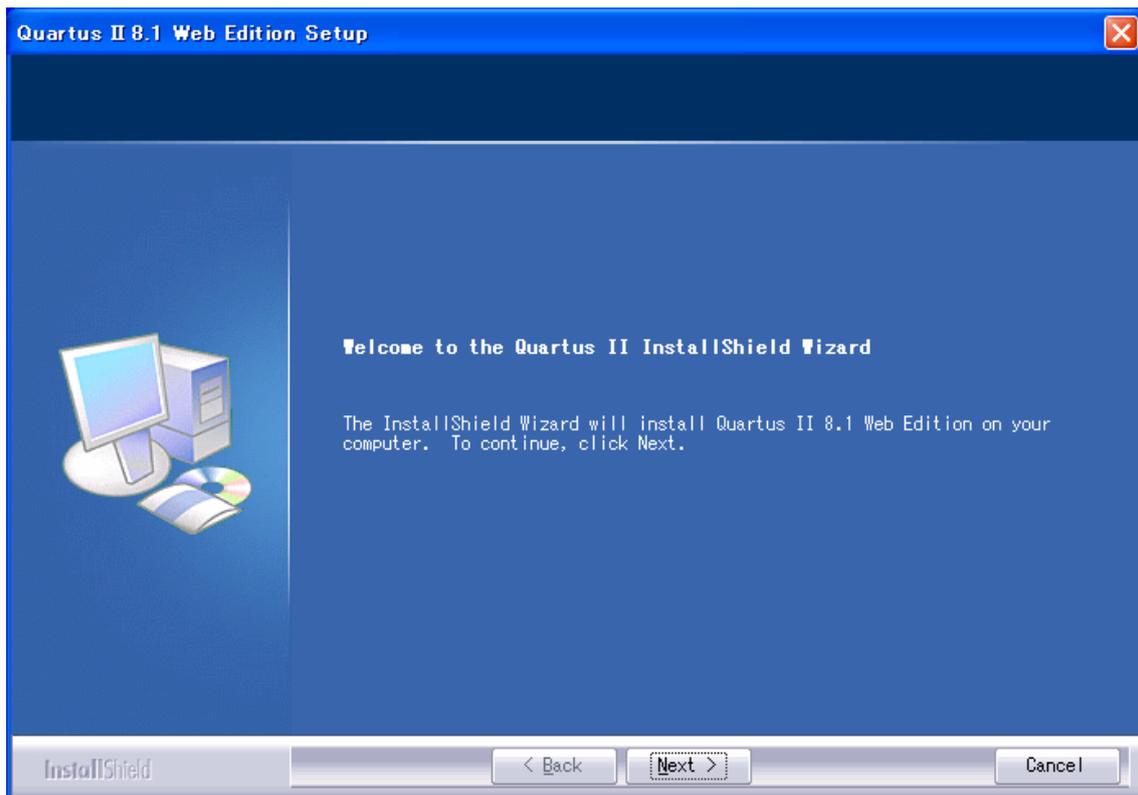
使用できるデバイスなどに制限がありますが、MAX II と Cyclone II に関しては、どのデバイスも使用できるのでまったく問題ありません。Quartus II Web Edition は、総合開発環境になっており、このソフトウェアだけで、ソース・エディタや I/O ピンのアサインメント、論理合成、デバイスの書き込み用のプログラムなど、CPLD/FPGA の開発に必要な機能がすべて含まれています。また、Nios II エンベデッド・デザイン・スイートは Nios プロセッサ用の開発ツールです。

Quartus II Web Edition と Nios II エンベデッド・デザイン・スイートのダウンロードは、次の URL から行うことができます。

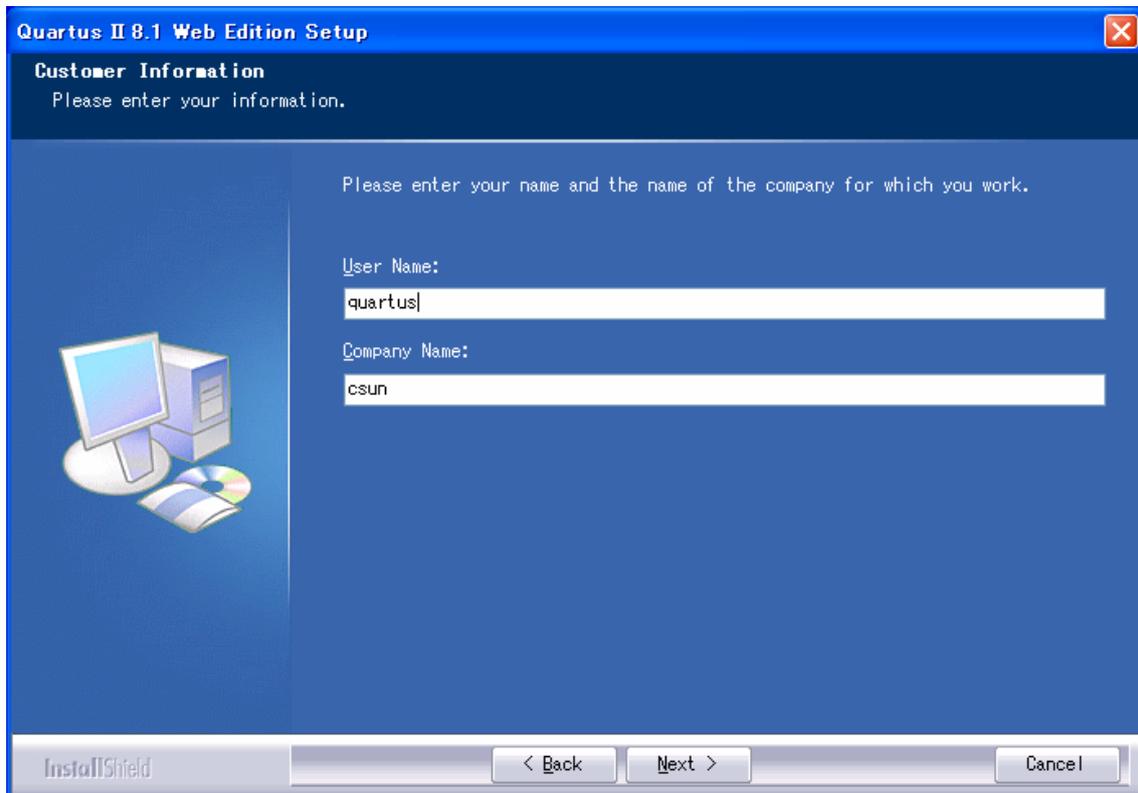
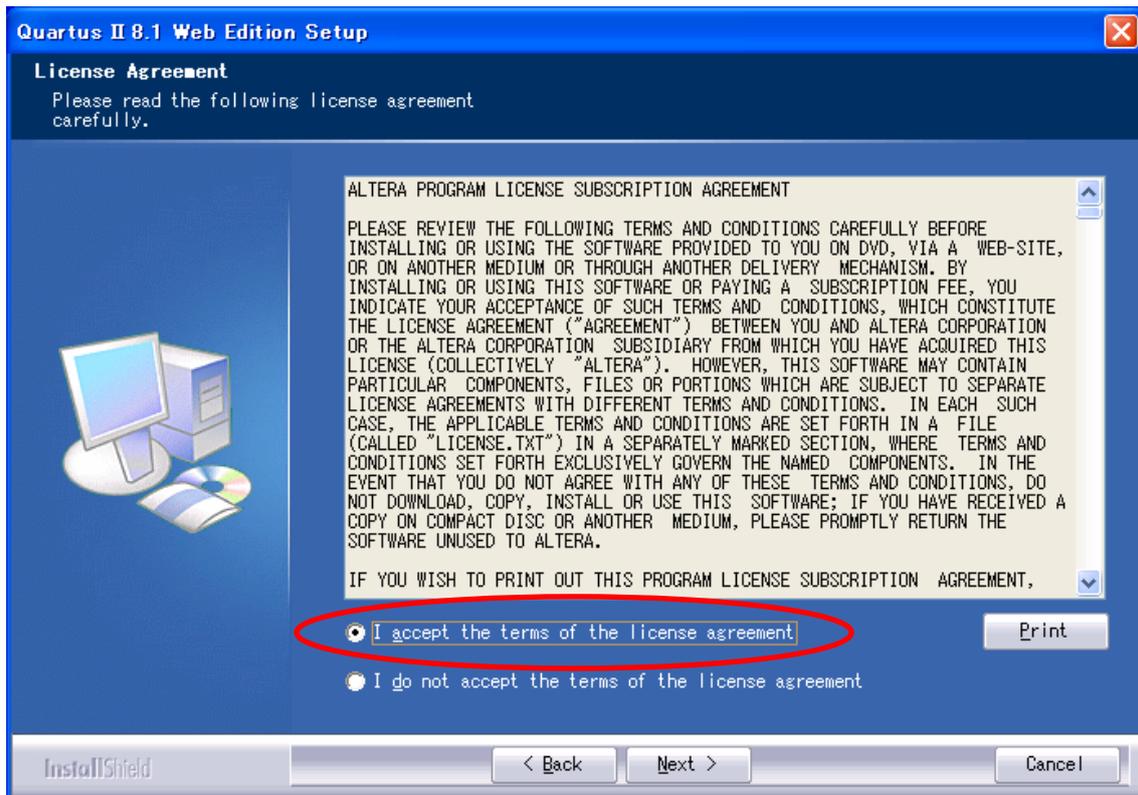
<http://www.altera.co.jp/support/software/download/nios2/dnl-nios2.jsp>

なお、ダウンロードする際は、最初に ALTERA のページにサイン・インを行い、ユーザ情報を登録する必要があります。本章には v8.1 でインストールの手順を説明します。インストールした後、ライセンス・ファイルが不要です。

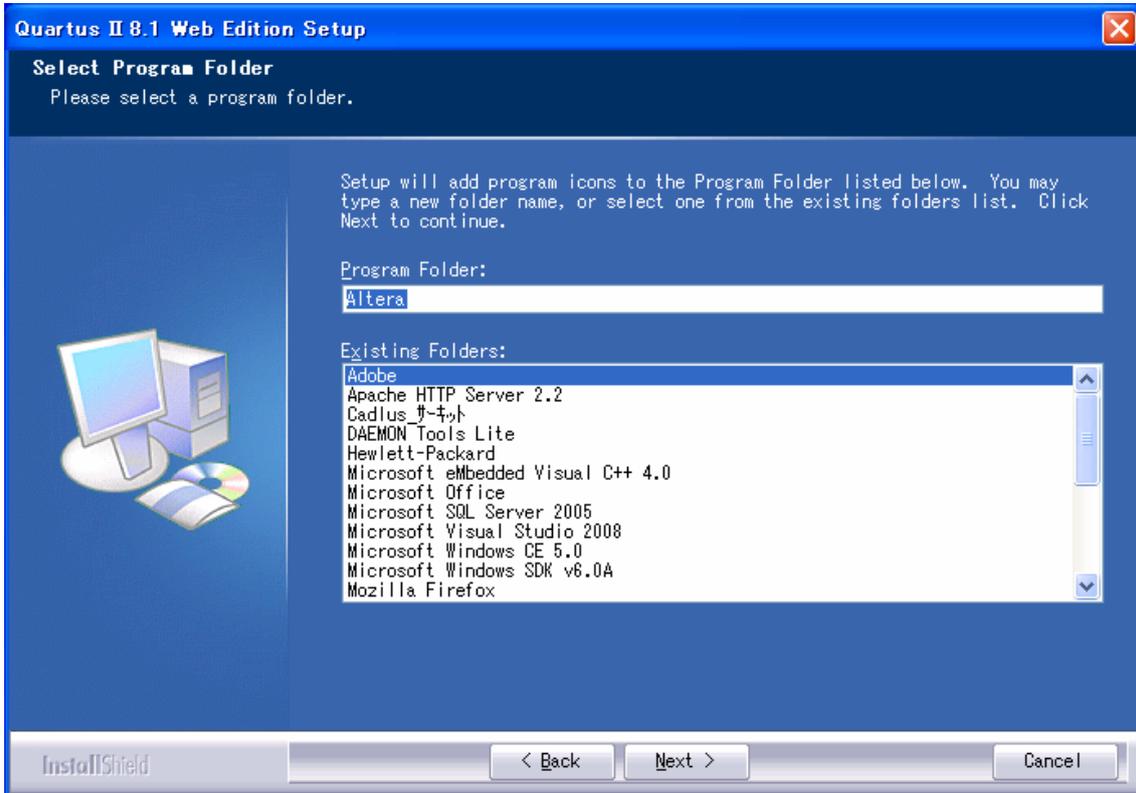
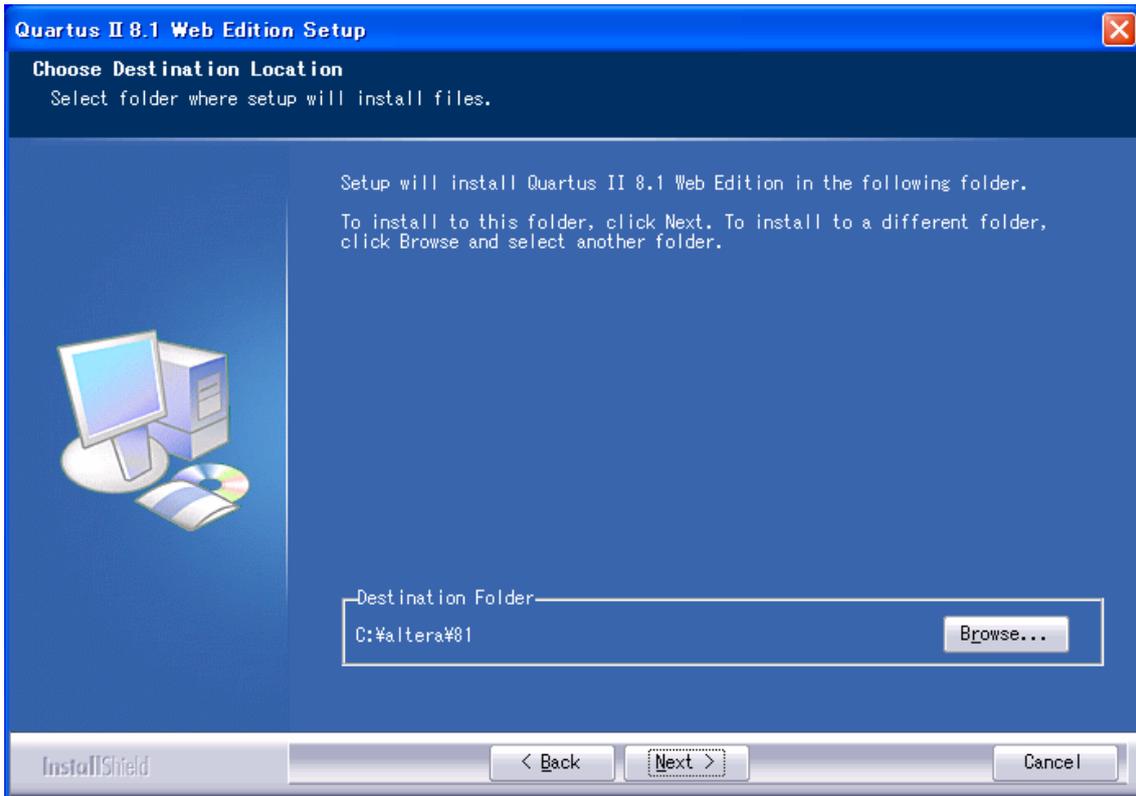
2.1 Quartus II Web Edition をインストールする



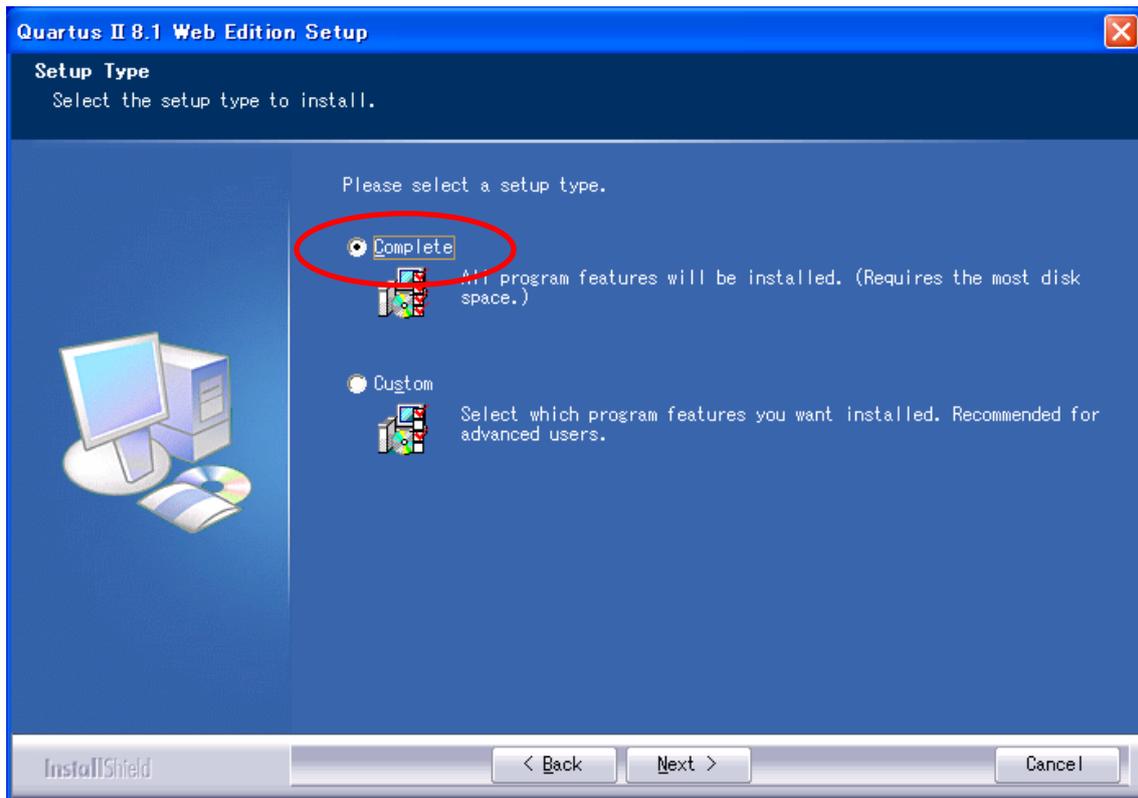
「Next」ボタンを押すと、英文のライセンスが出てきます。同意できる場合は、「I accept the terms of the license agreement」を選択して、「Next」ボタンを押します。



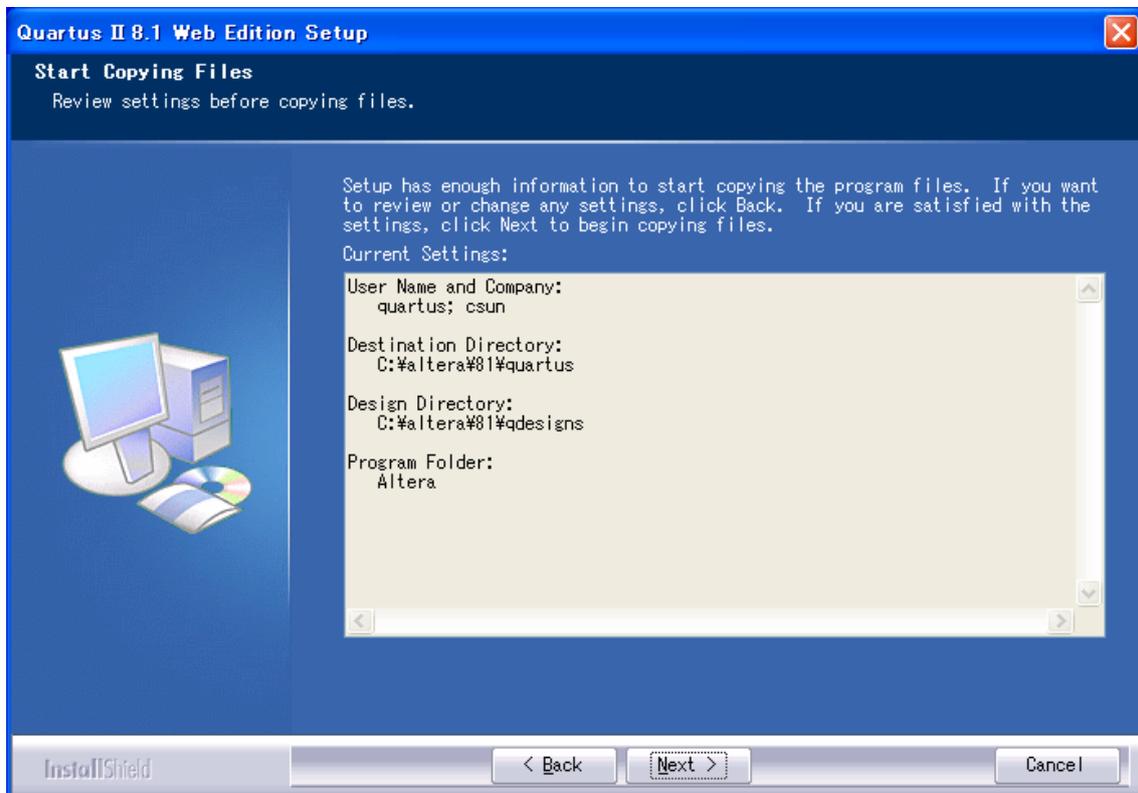
使用者の名前と所属会社名を入力するダイアログが表示されます。名前は半角のアルファベットで入力しましょう。



インストール先フォルダを変更せず、そのまま進んでください。



「Complete」を選択してください。



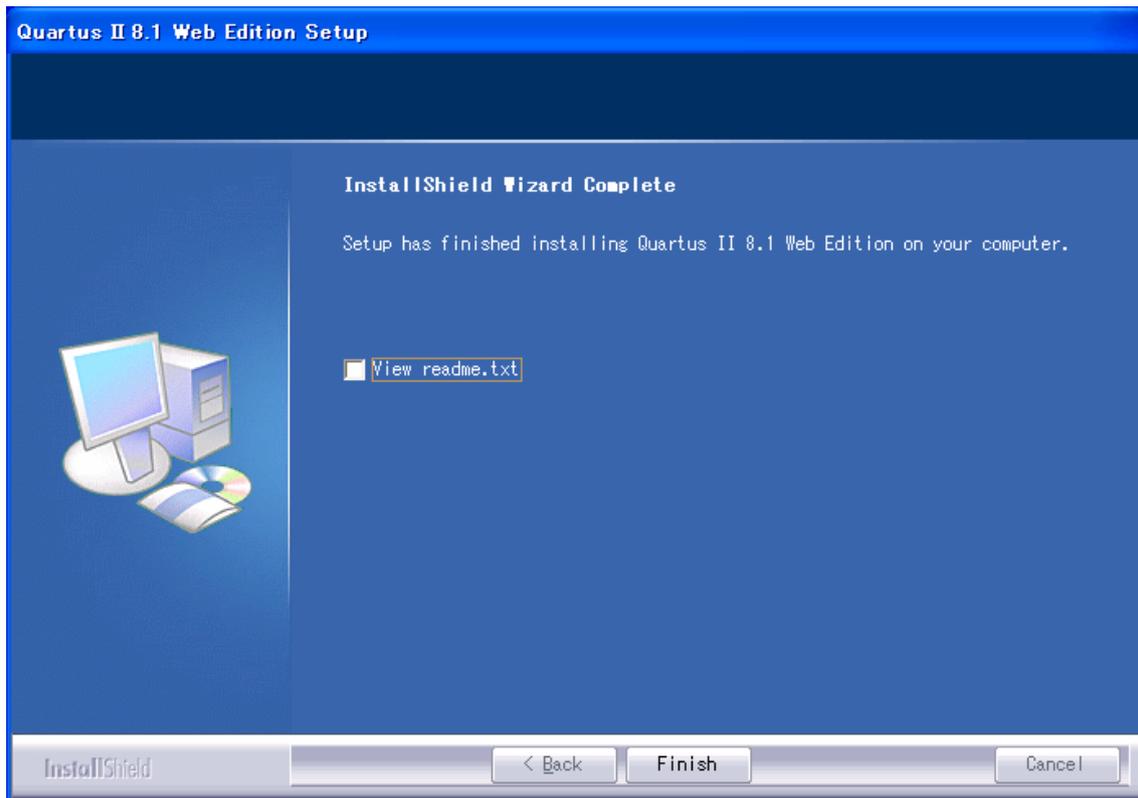
間違いがないかどうか確認し、問題がなければ「Next」を押します。



インストール中の画面です。

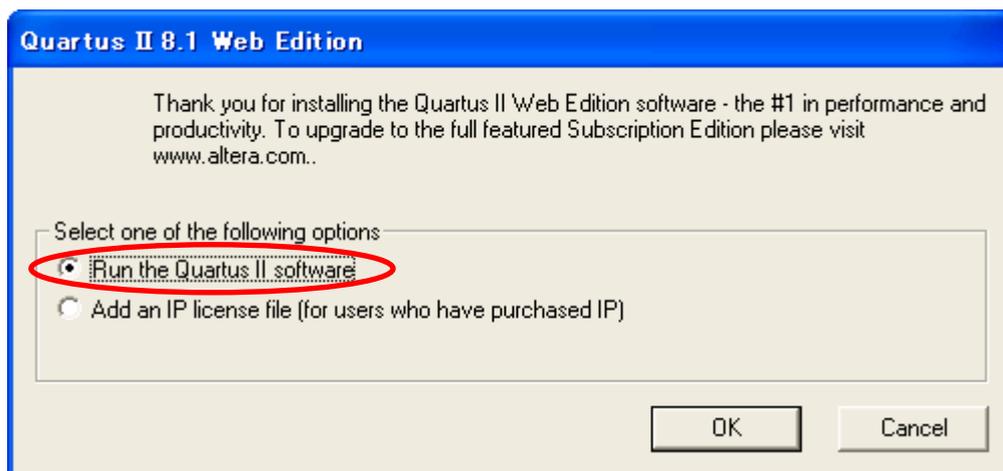


インストール完了すると、ショートカットをデスクトップに作るかどうか聞かれます。どちらでも選択できます。



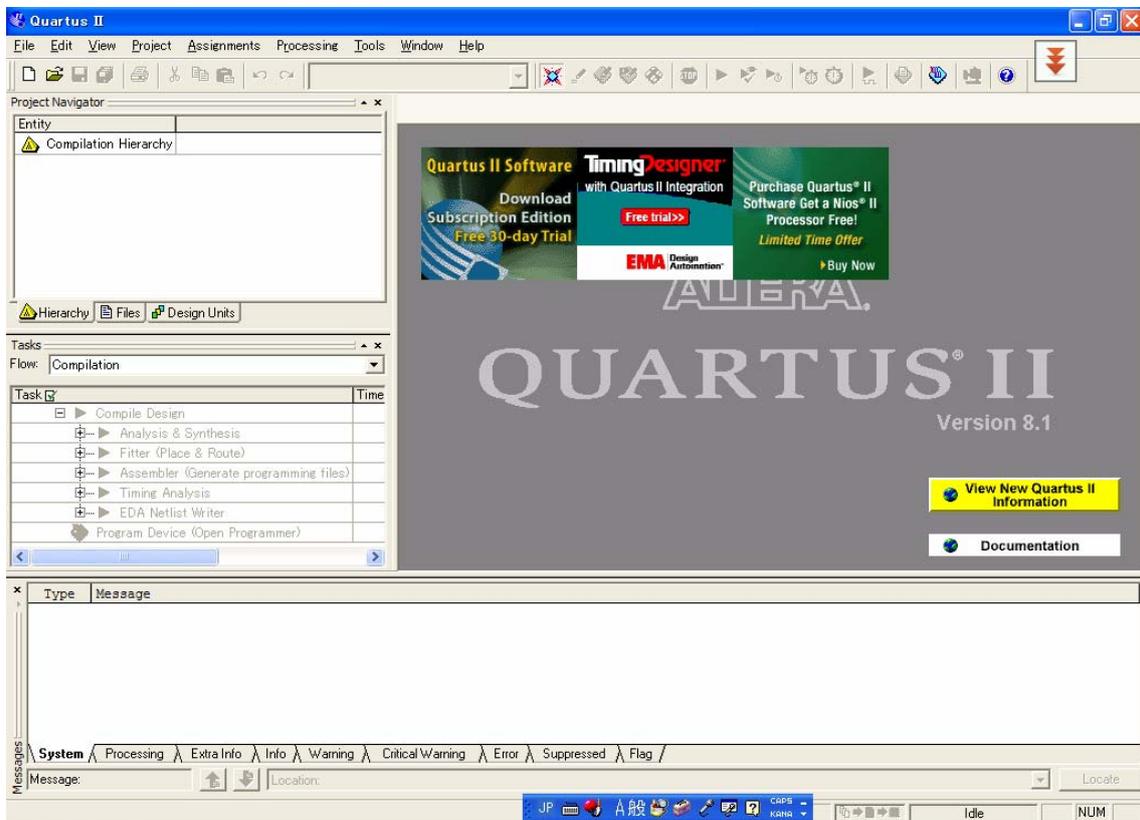
最後に「Finish」をクリックすると、ウィザードが閉じてインストールが終了します。

インストールされた Quartus II 評価版をさっそく起動してみます。一番最初に起動したときだけ、次のようなダイアログが現れ、「Run the Quartus II software」を選択してください。「OK」ボタンを押します。

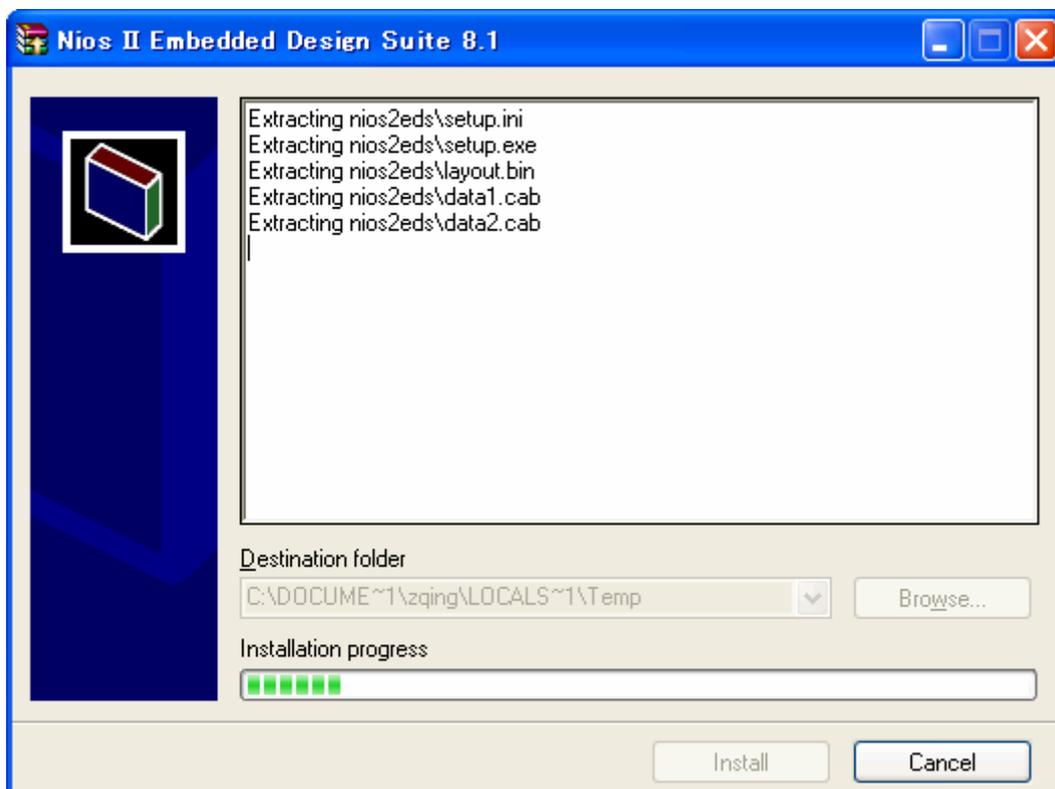
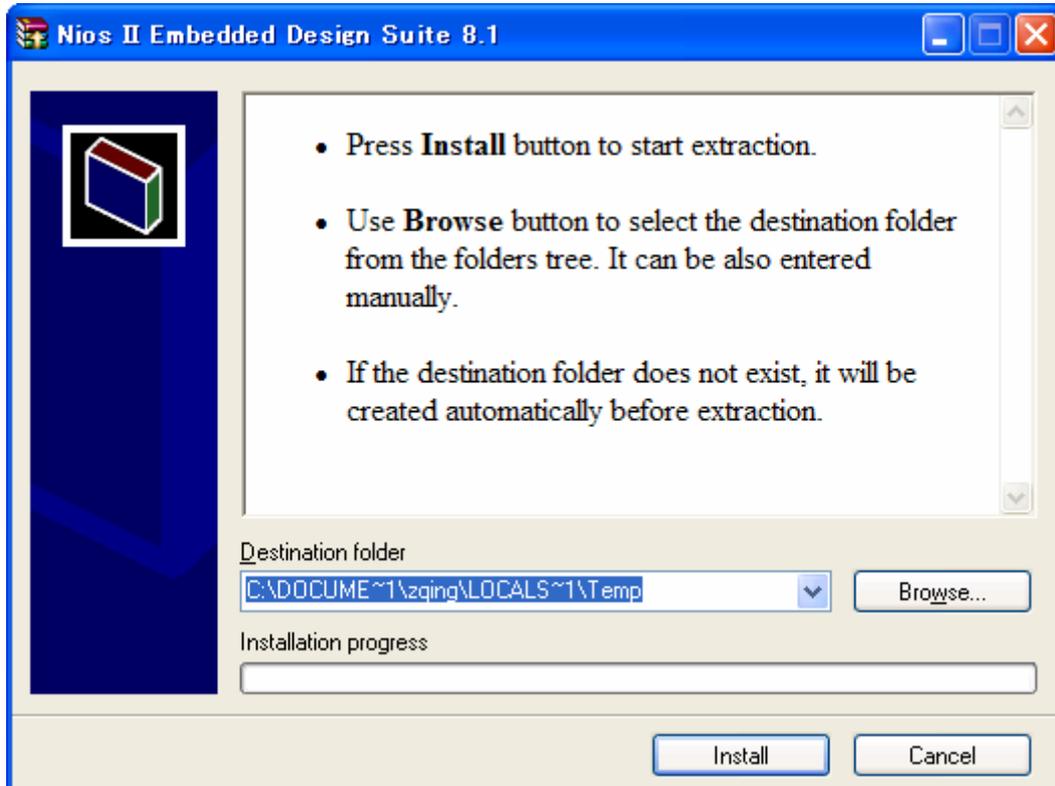




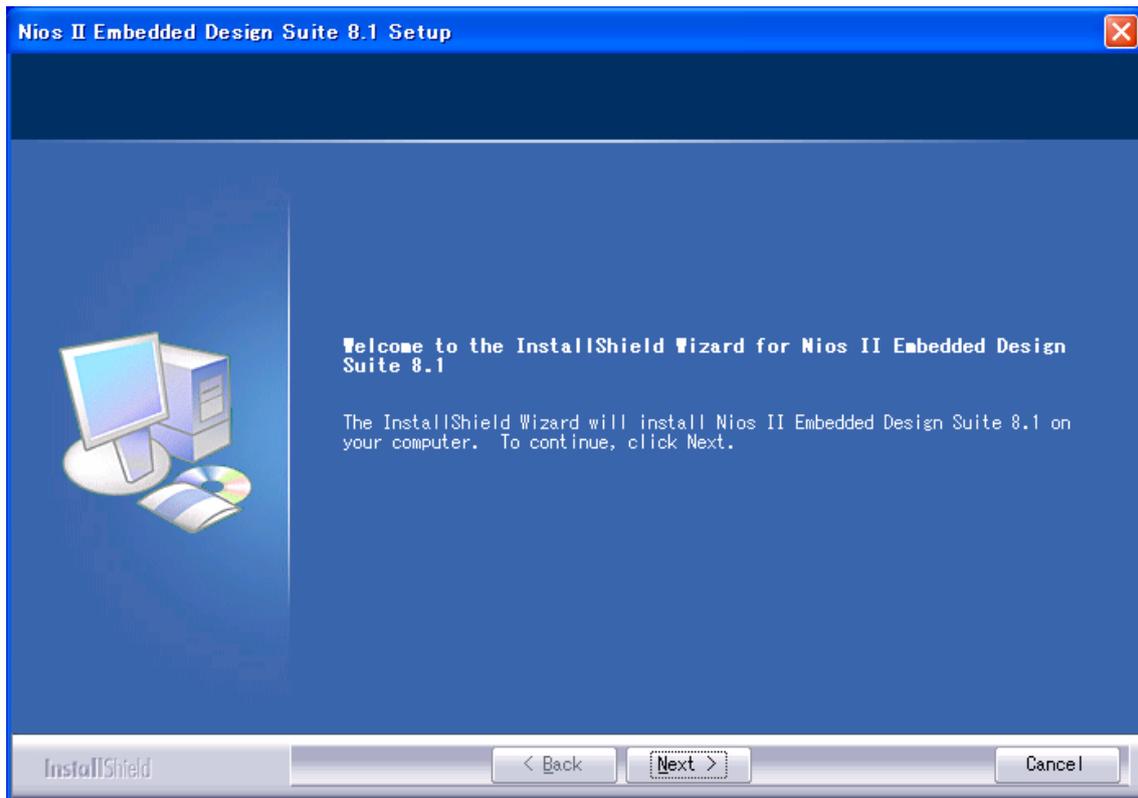
Quartus II の画面出てきます。



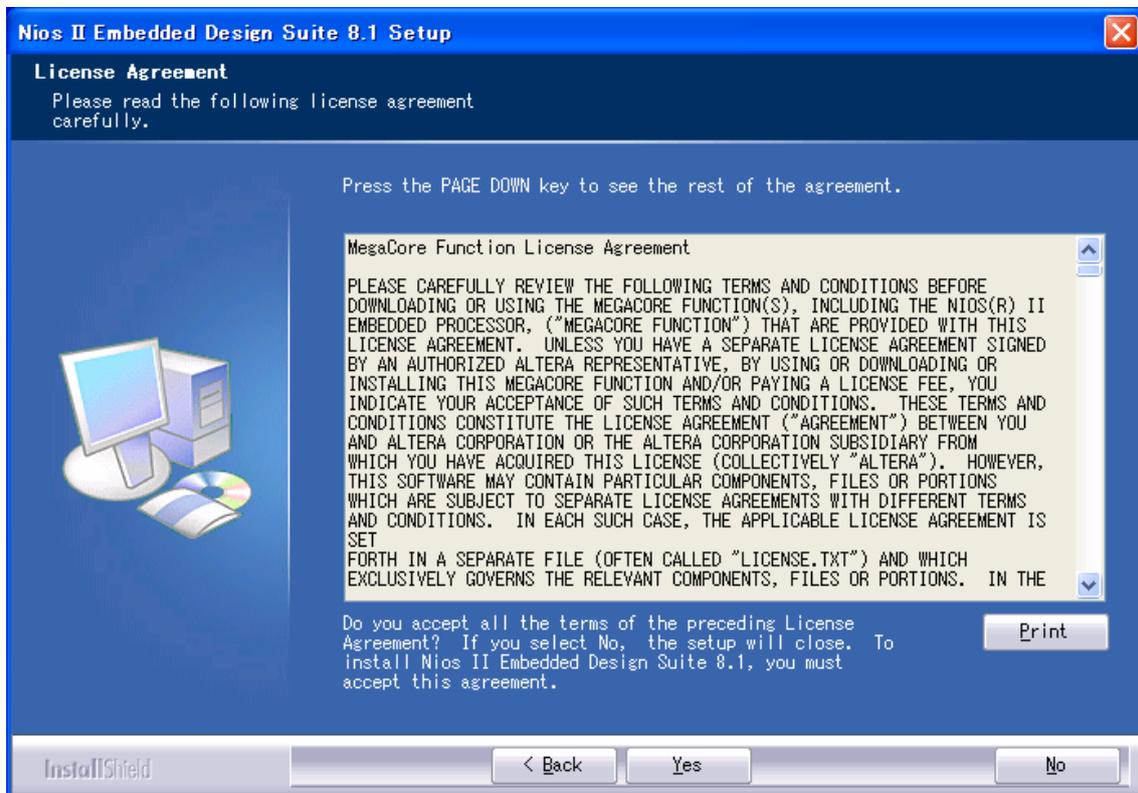
2.2 Nios II エンベデッド・デザイン・スイートをインストールする

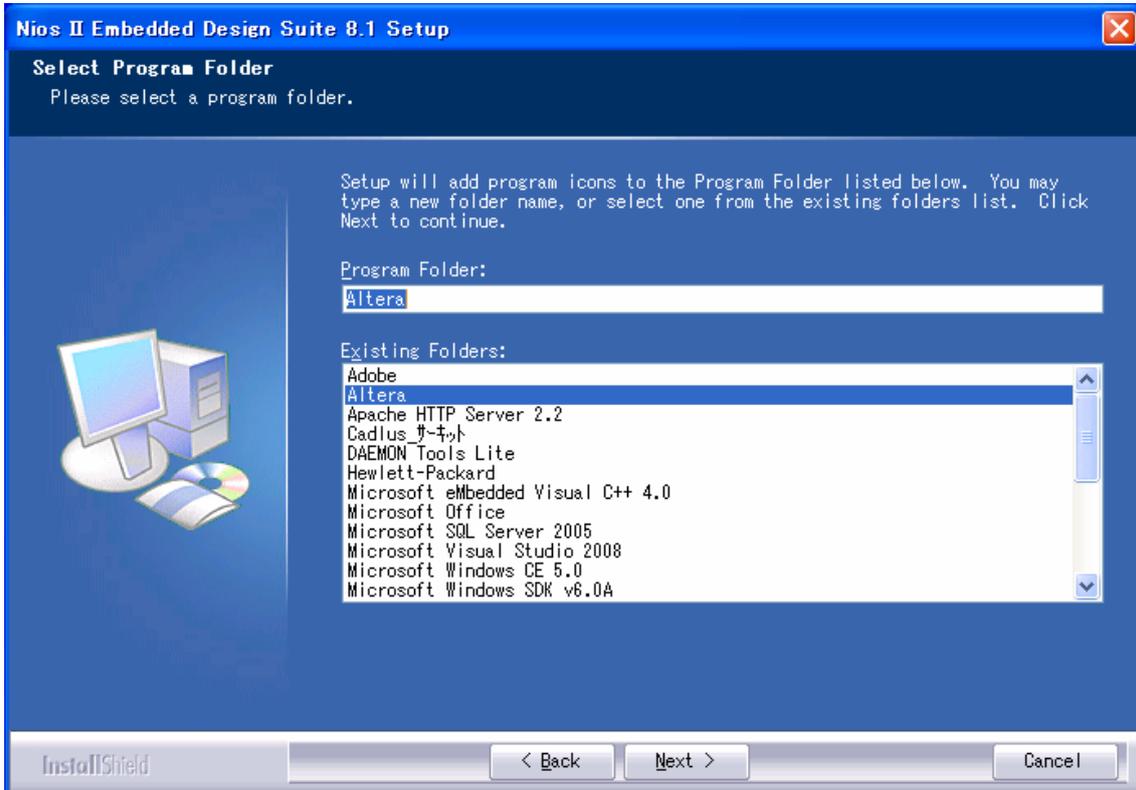
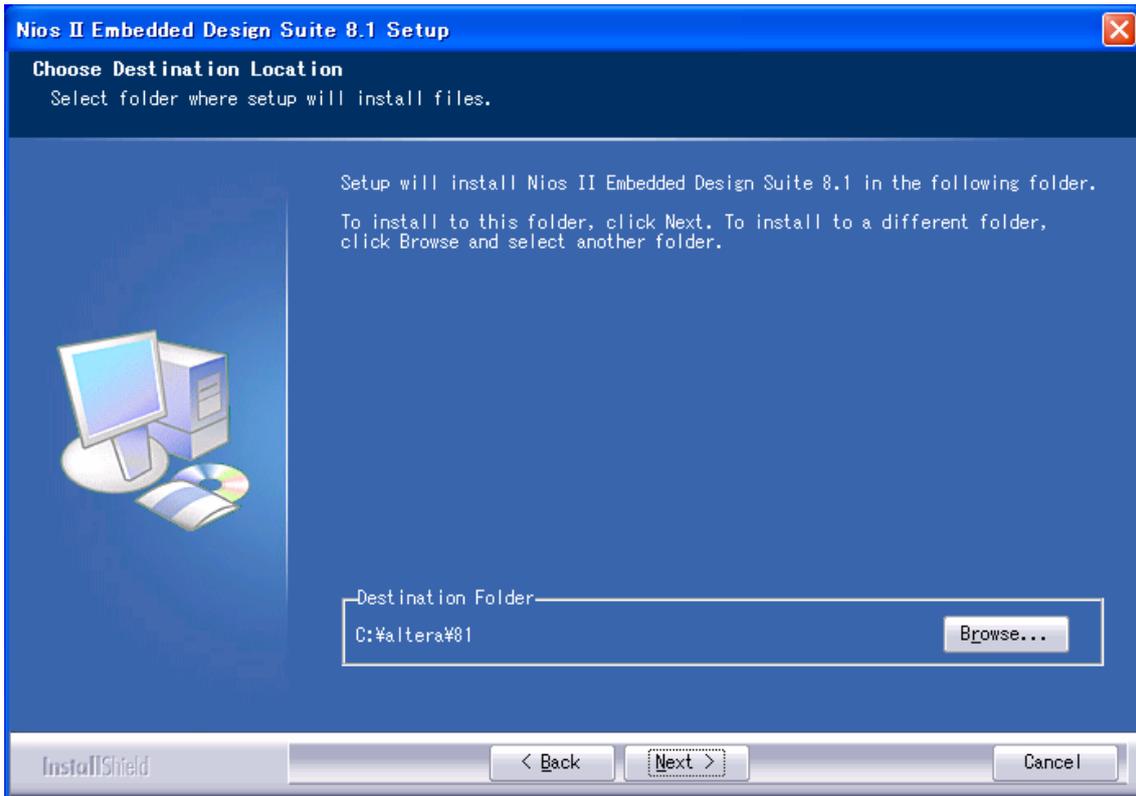


先ず「Install」ボタンを押して解凍します。「Next」ボタンを押します。

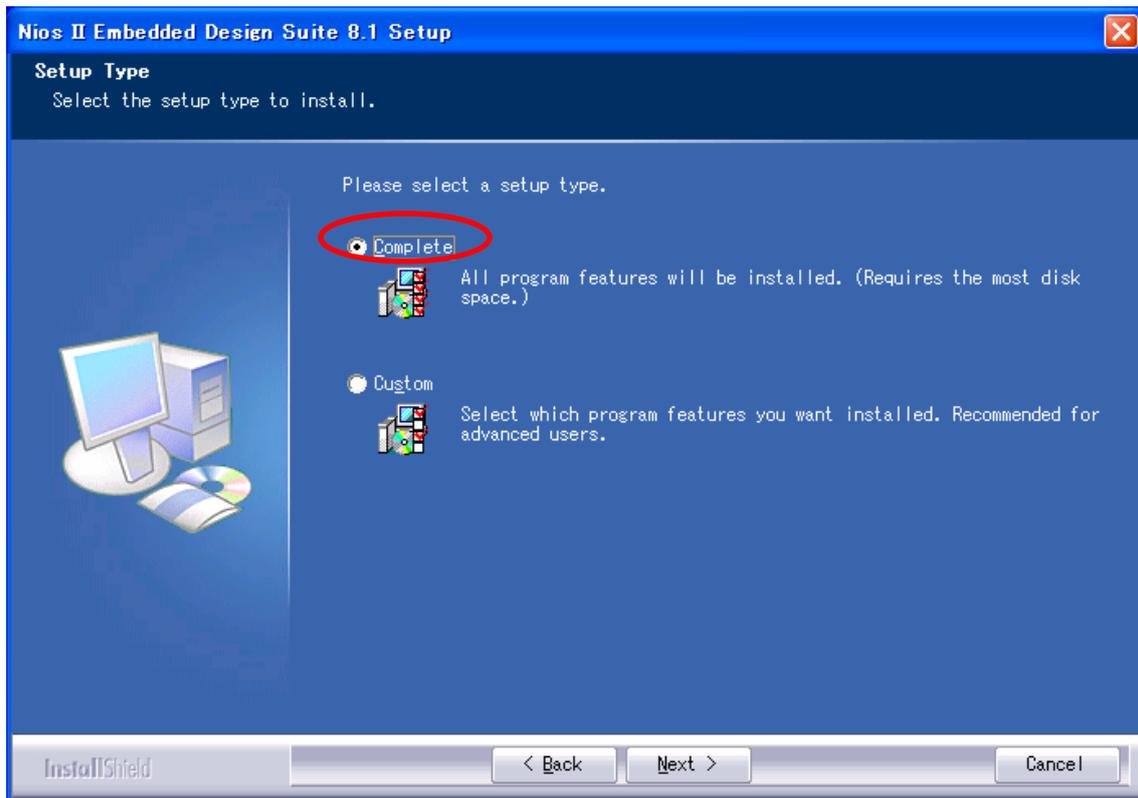


ライセンスを同意すれば、「Yes」ボタンを押します。

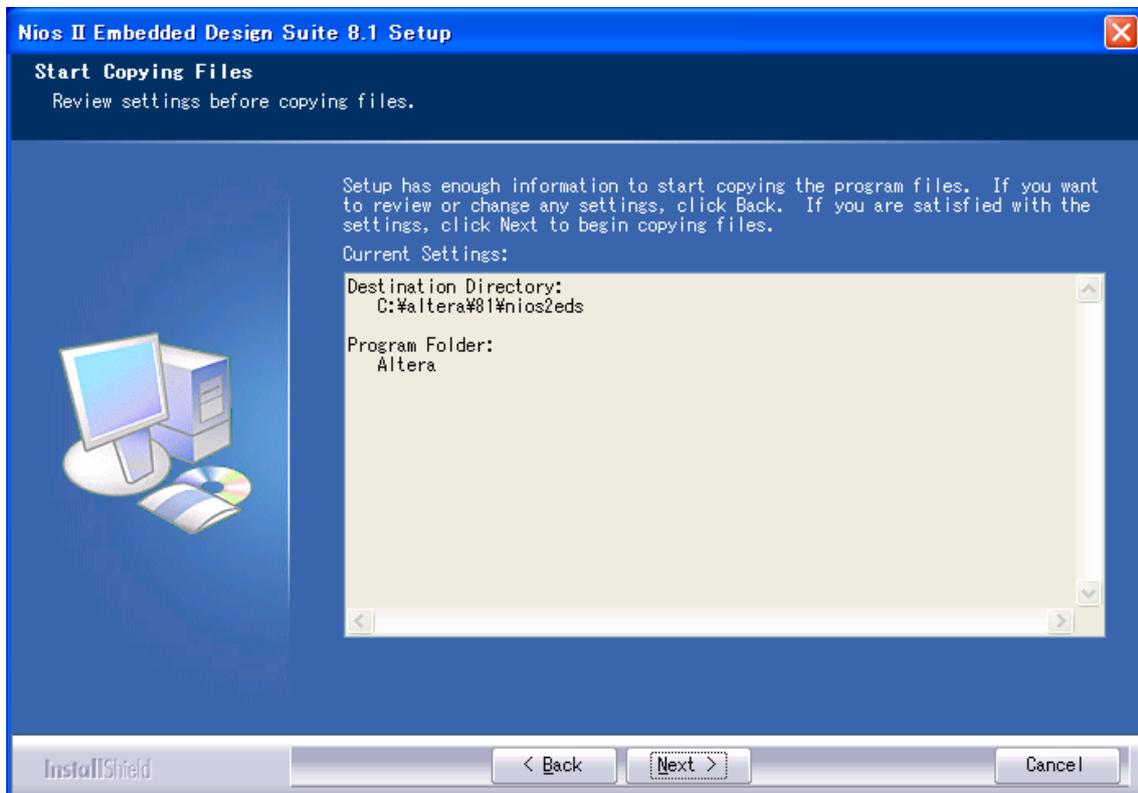




インストール先フォルダを変更せず、そのまま進んでください。



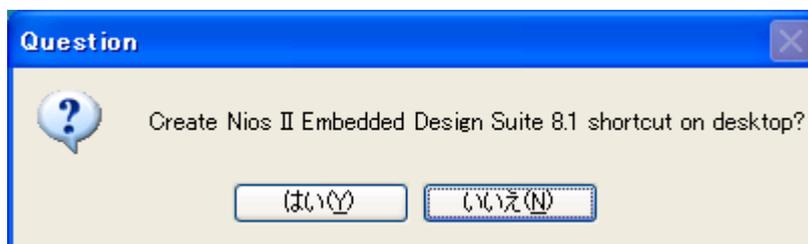
「Complete」を選択してください。



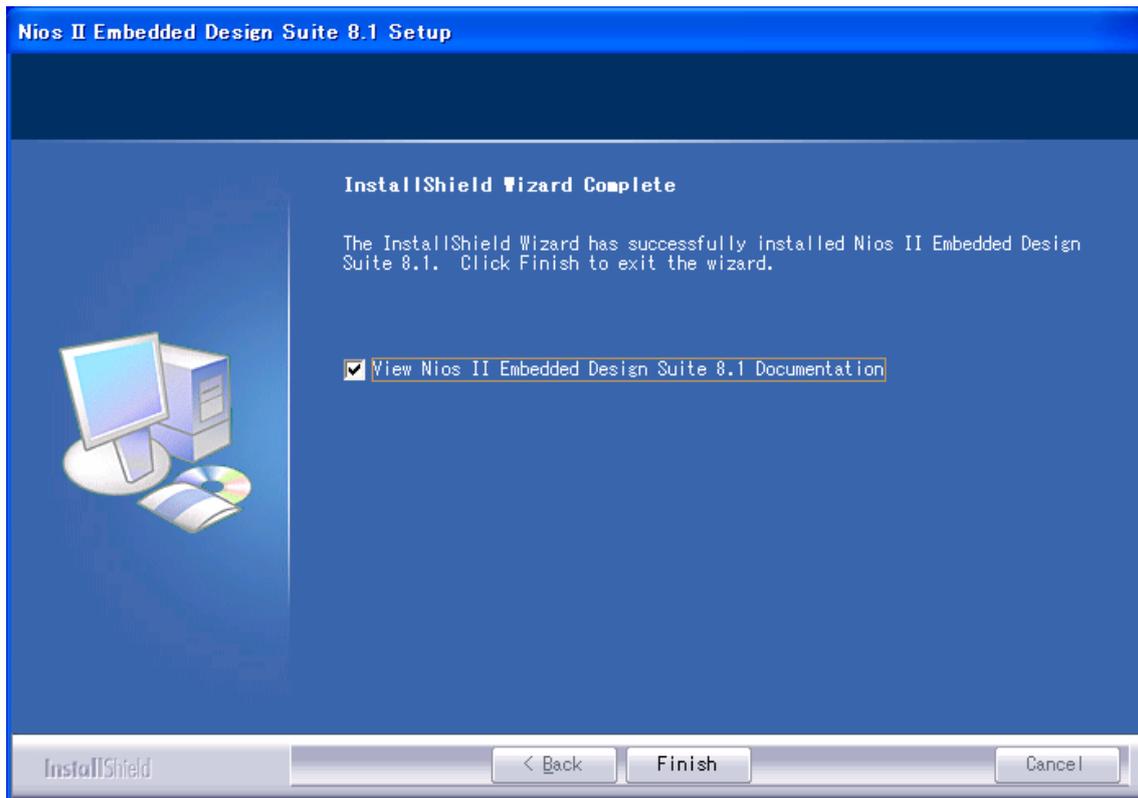
間違いがないかどうか確認し、問題がなければ「Next」を押します。



インストール中。



インストール完了すると、ショートカットをデスクトップに作るかどうか聞かれます。どちらでも選択できます。



最後に「Finish」をクリックすると、ウィザードが閉じてインストールが終了します。

第三章 Cyclone IIの初体験

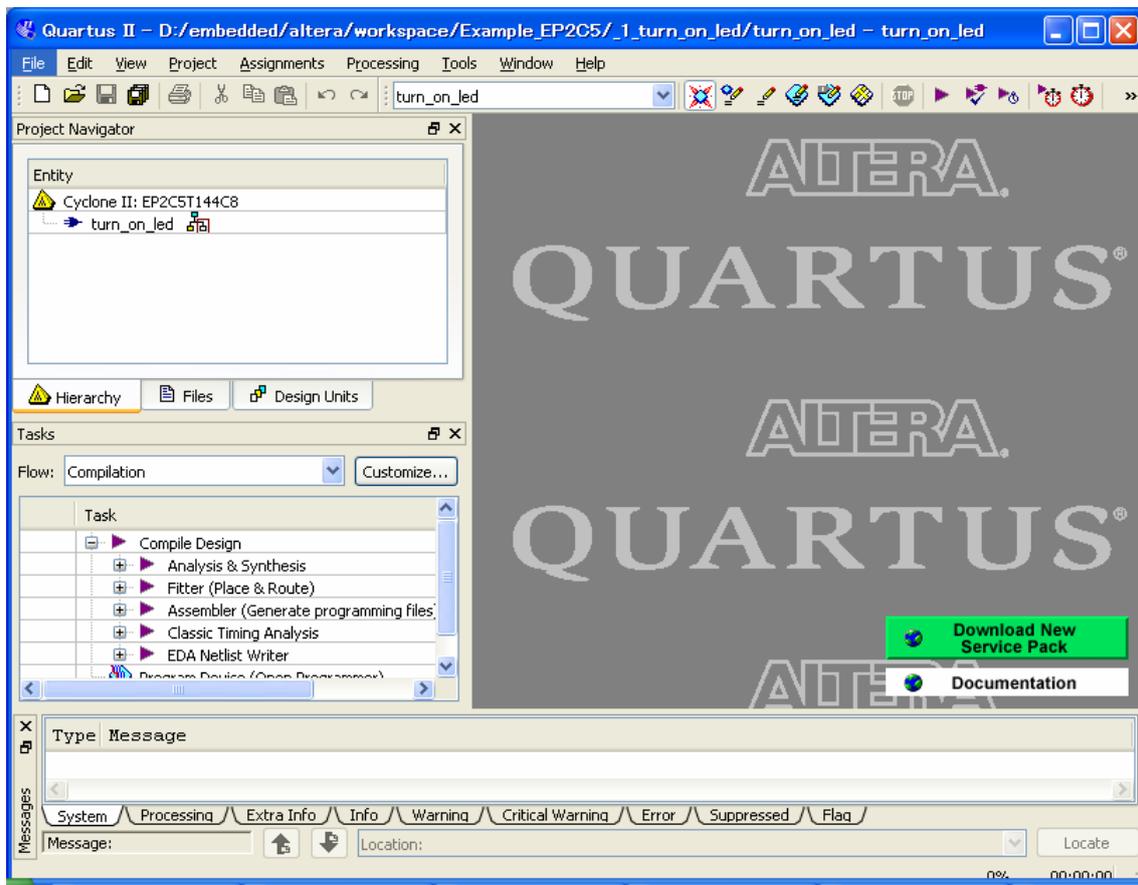
3.1 Quartus II評価版にソースを読み込む

弊社のウェブサイトで Cyclone II 用のサンプルソース (Example_EP2C5.zip) をダウンロードできます。

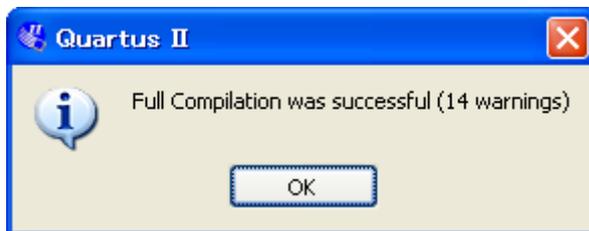
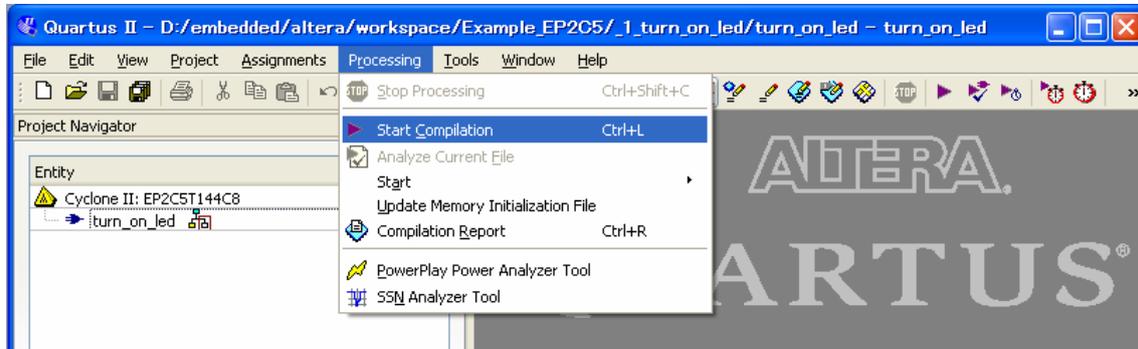
ソース・ファイルを..¥alteraに展開します。その中に、幾つのサンプルがあります。具体的には1.4節をご参照ください。一つのサンプルを紹介します。

エクスプローラまたはマイ コンピュータを起動して、
¥Example_EP2C5¥LogicVerilog¥_1_turn_on_led
というフォルダを開いてください。

これらの中に、名前が turn_on_led.qpf、Quartus II Project File となっているファイルがあります。これをダブル・クリックすると、Quartus II が起動して、turn_on_led というプロジェクトが開きます。

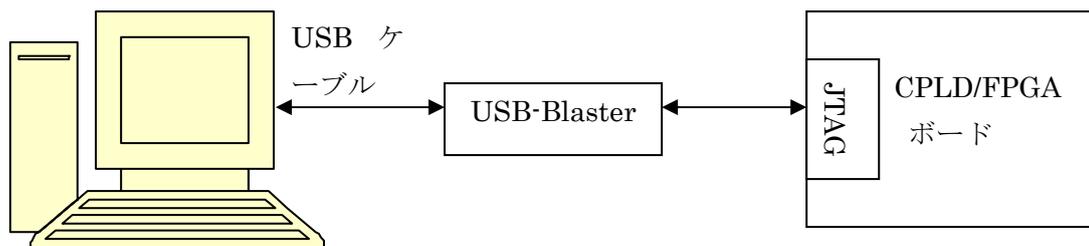


Quartus II の「Processing」メニューから「Start Compilation」を選択します。するとコンパイル処理が始まり、プロGRESS・バーが働き始めます。コンパイルは数十秒で終了します。



3.2 USB-Blasterをインストールする

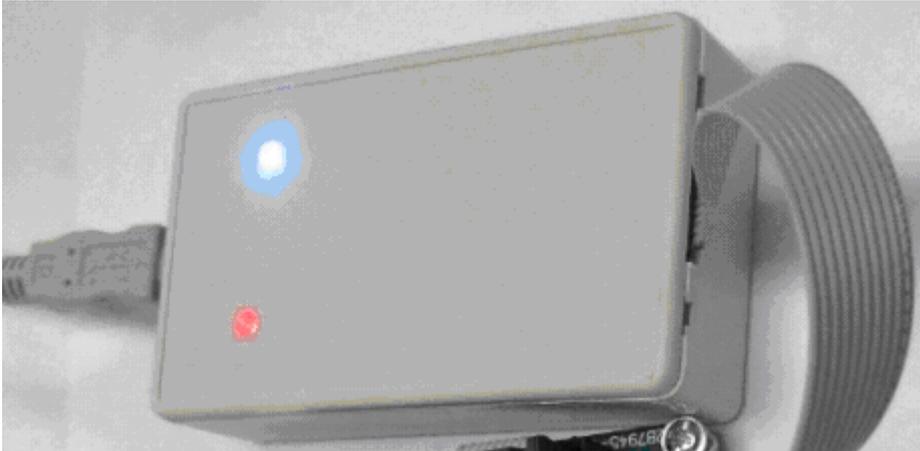
通常、MAX II/Cyclone II にコンフィグレーション・データを書き込むために、アルテラが発売している専用ダウンロード・ケーブル(ByteBlaster MV や ByteBlasterII や USB 接続タイプの USB-Blaster など)を購入しなければなりません。



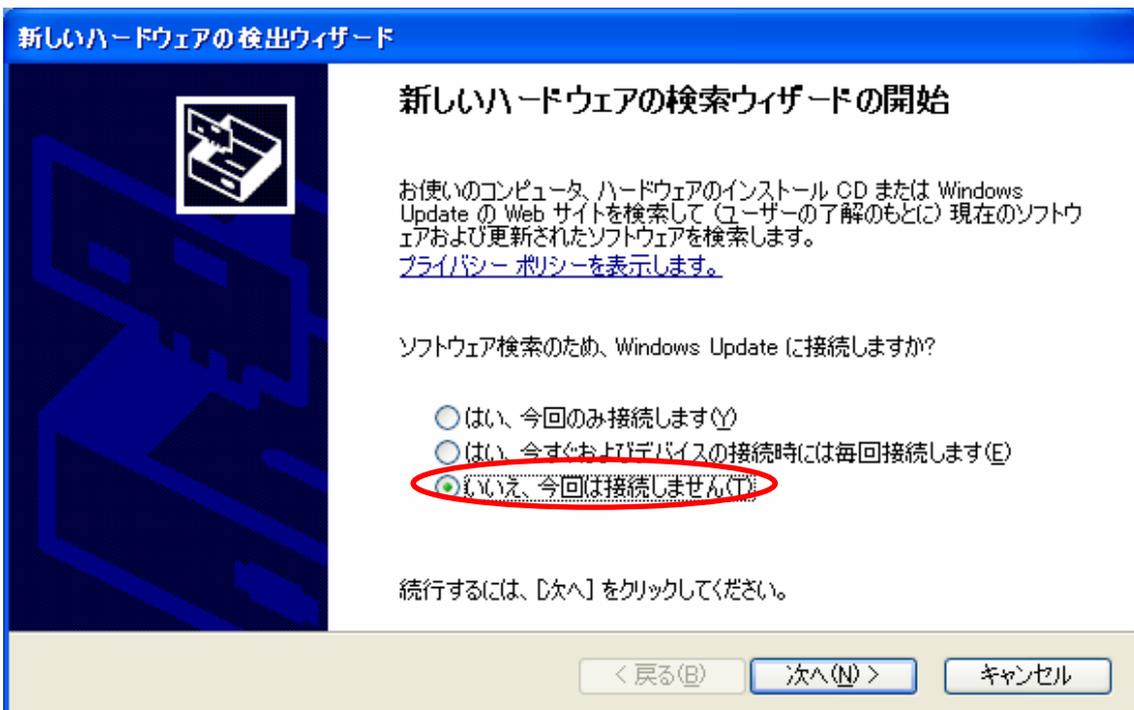
弊社は専用ダウンロード・ケーブル USB-Blaster 同等のデバイスを提供しております。

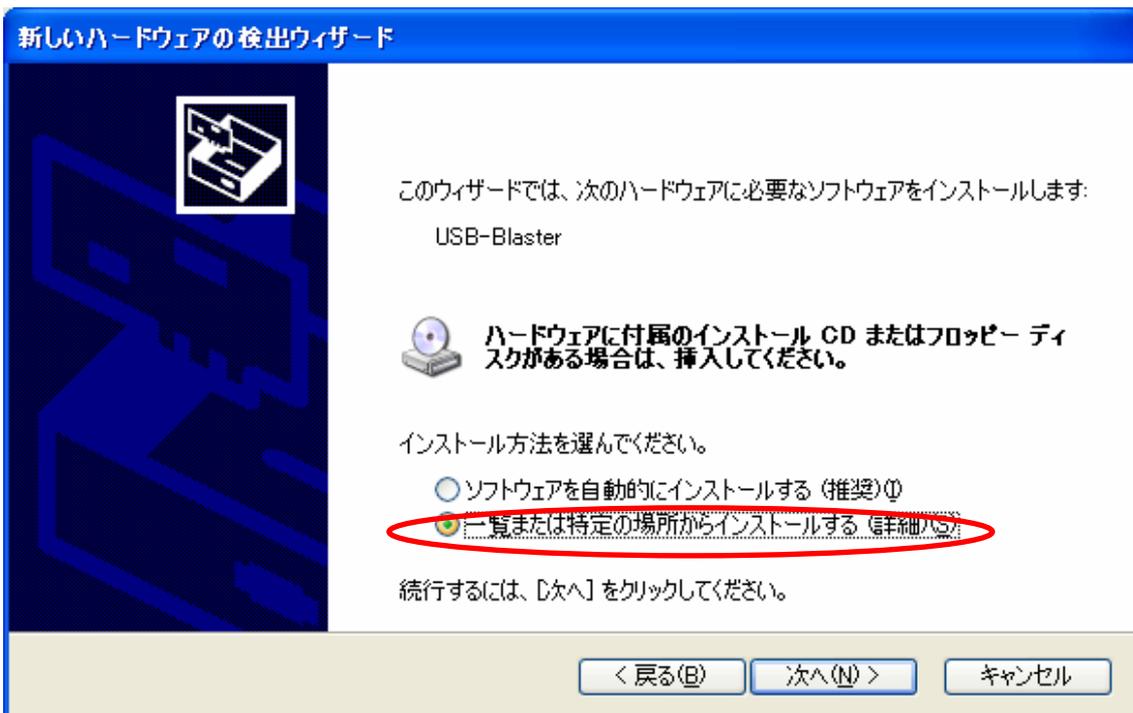
<http://www.csun.co.jp/SHOP/200901025.html>

次に示す手順に従って、USB-Blaster のデバイス・ドライバをインストールしてください。

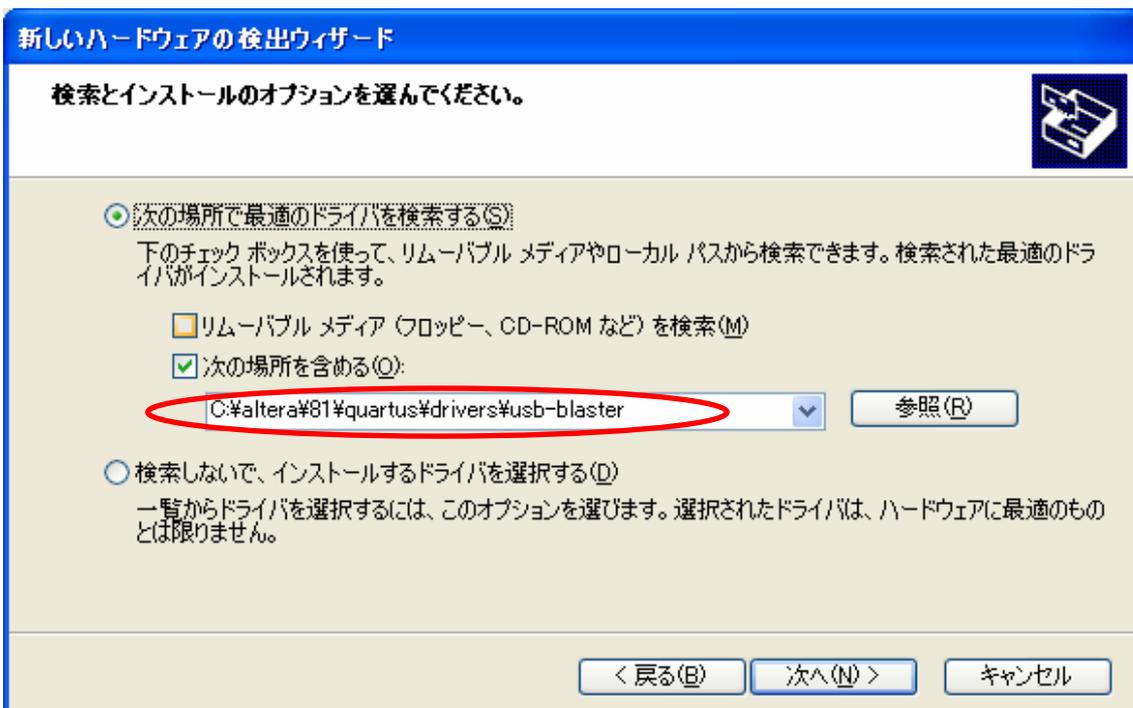


USB-Blaster を USB ケーブルでパソコンと繋ぐと、自動的にこの画面が現れ、「いいえ、今回は接続しません」を選択してください。

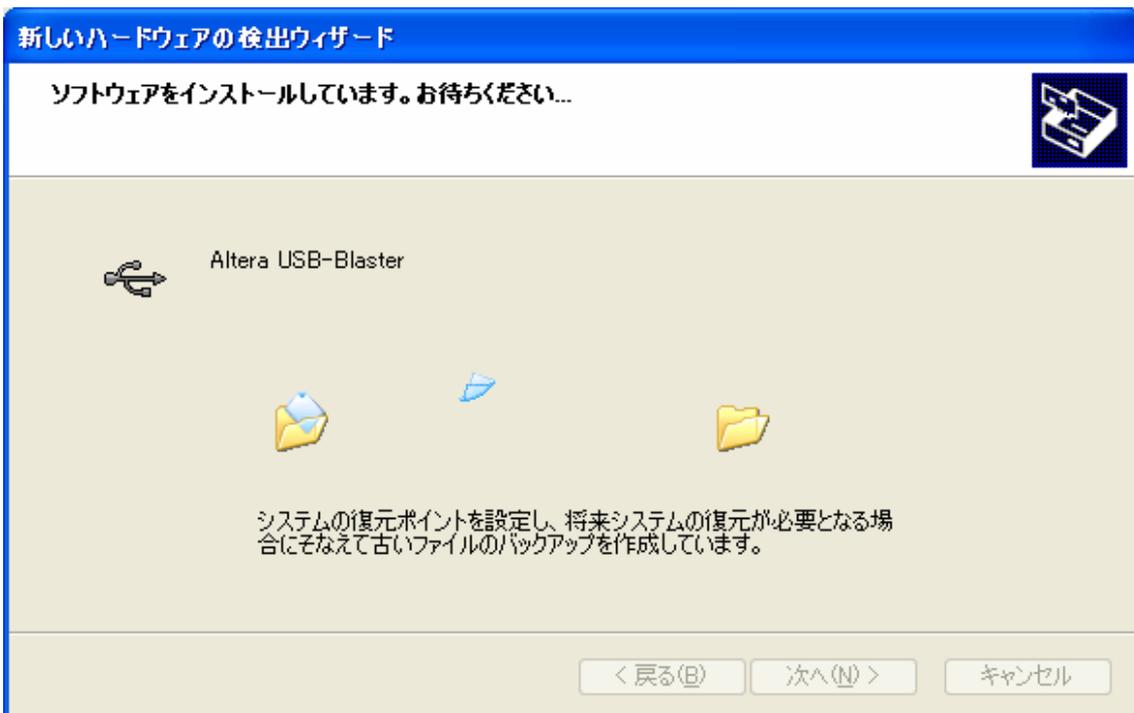




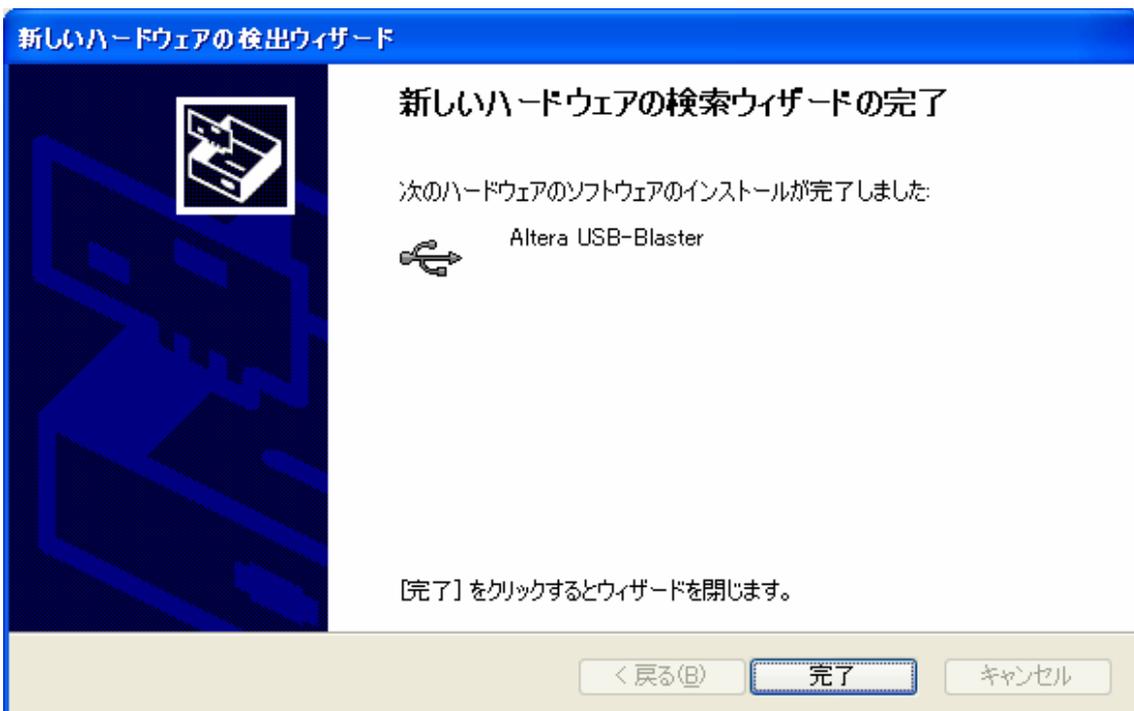
「一覧または特定の場所からインストール」を選択してください。



USB-Blaster のドライバは C:\altera\81\quartus\drivers\usb-blaster にあります。



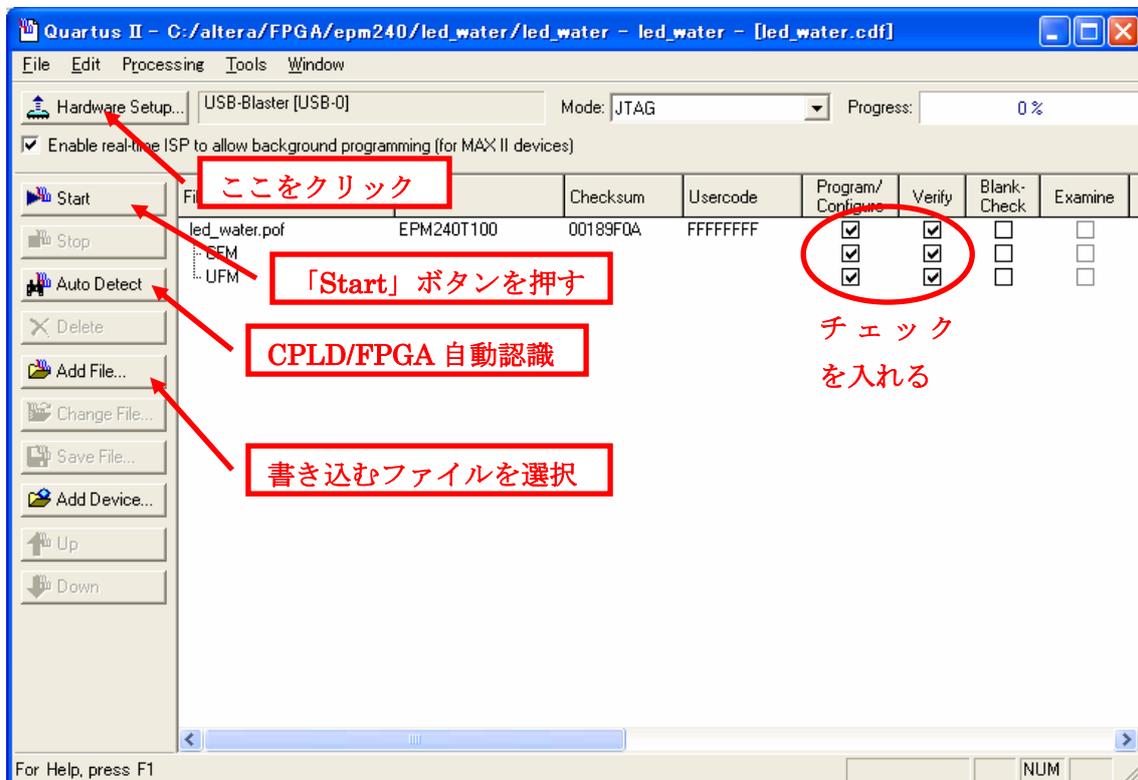
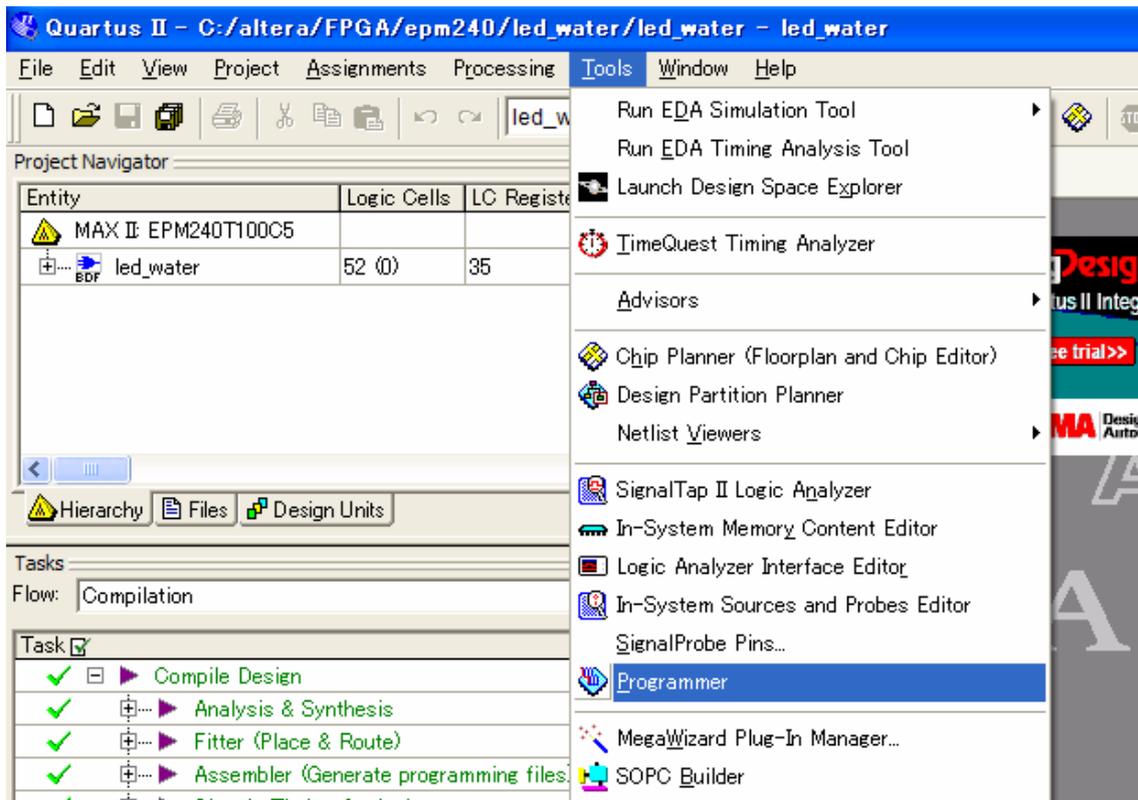
インストール中。



インストール完了します。

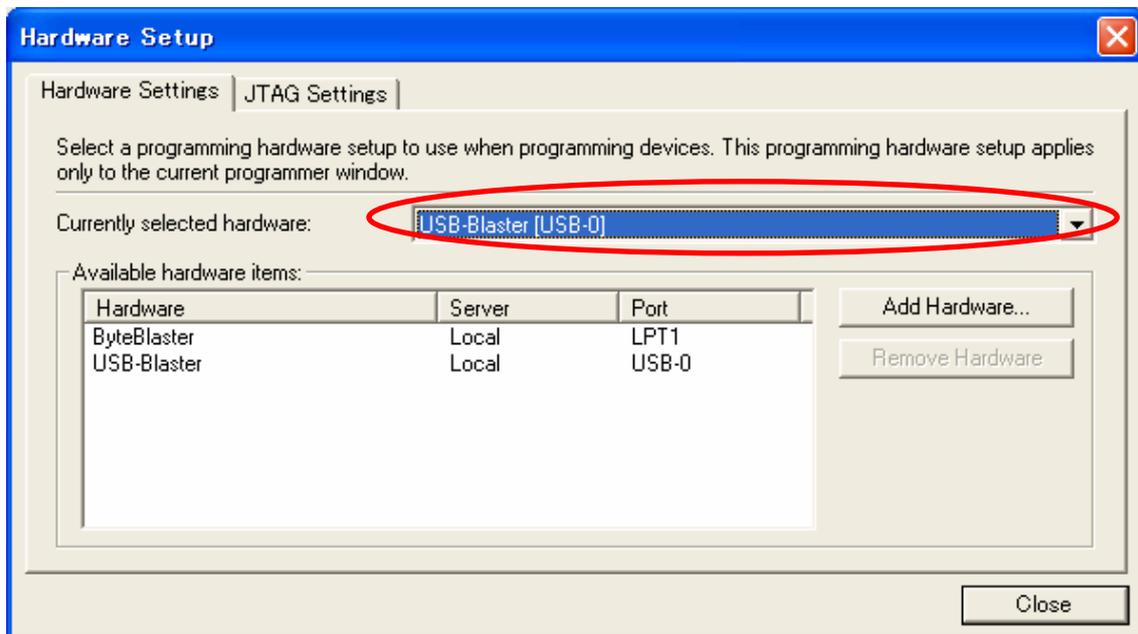
3.3 書き込むソフトウェアを起動する

Quartus II の「Tools」メニューから「Programmer」を選択すると、MAX II/Cyclone II に回路を書き込むソフトウェア「Programmer ツール」が起動します。



Programmer ツールが起動したら、最初に書き込みケーブルのセットアップを行います。

「Hardware Setup」というボタンを押してください。



「USB-Blaster[USB-0]」を選択します。「Close」を押して、Hardware Setup ダイアログを閉じたら、「Auto Detect」というボタンを押してください。これは、ケーブルの先にある CPLD/FPGA を自動認識する操作です。うまく CPLD/FPGA が認識されると、EPM240 又は EP2C5 又は EP2C8 という CPLD/FPGA が発見されるはずです。発見されない場合は、

- ・ ケーブルが正しく接続されているか、
- ・ FPGA の場合は、ケーブルとボードの JTAG ポートを繋がめますか
- ・ CPLD/FPGA 基板に電源が入っているか

など、これまでの作業に問題がないか再度チェックをしてください。

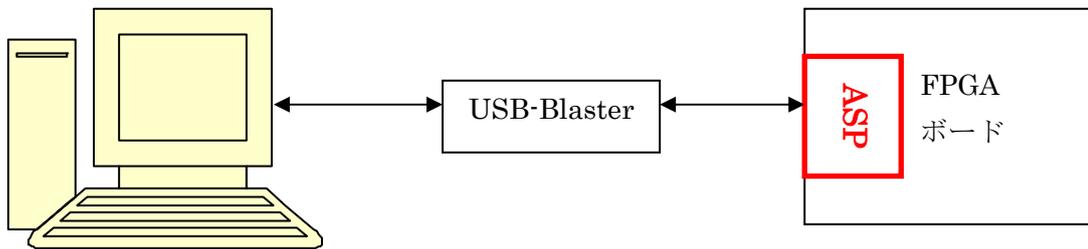
CPLD/FPGA の認識に成功すると、「Add File」ボタンを押して、書き込みファイルを添加します。*.pof は CPLD 用書き込みファイル、*.sof は FPGA 用書き込みファイルです。*.pof の右側にある Program/Configure と Verify の欄にチェックを入れて、「Start」ボタンを押します。プログレス・バーが 100%まで達すれば、書き込み成功です。

CPLD/FPGA 用 I/F 基板上の LED が点滅しているのを確認してください。どうでしょうか？うまく点滅したでしょうか。

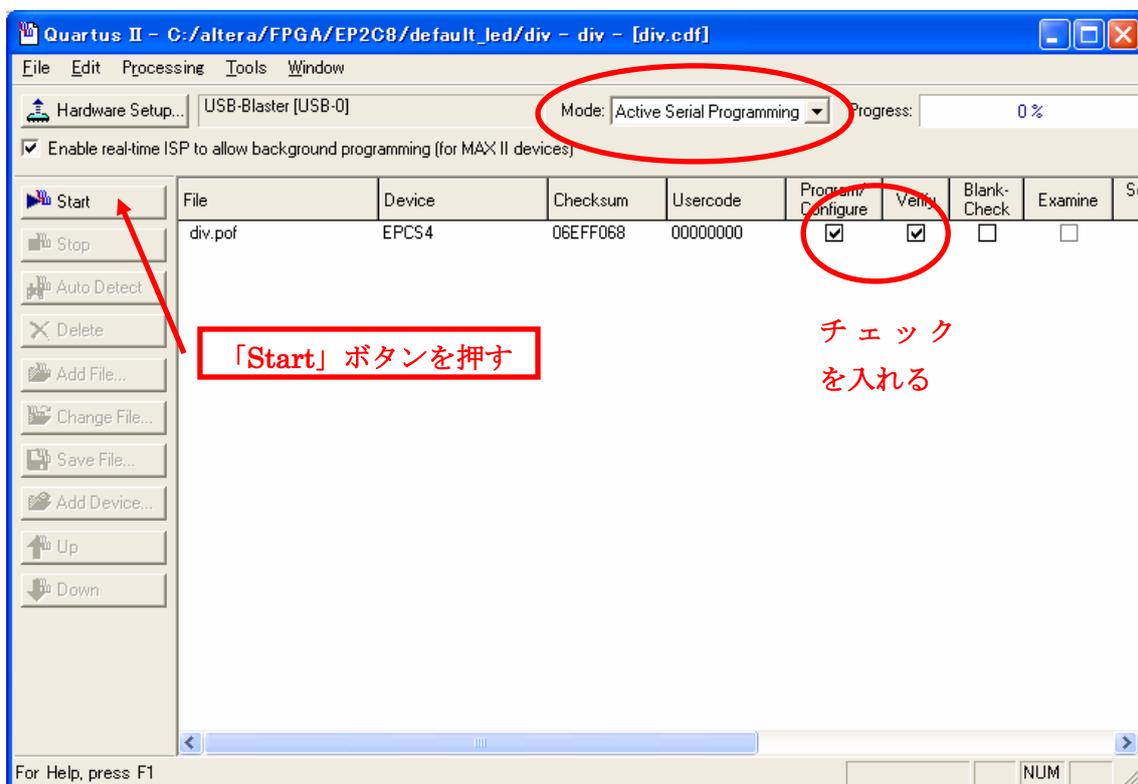
3.4 FPGAのコンフィギュレーションデバイスに書き込む

Cyclone II は SRAM ベースの FPGA なので、電源投入直後は中身が空の状態です。製品化の際や、電源投入後に自動的に動作させる必要がある場合は、専用のコンフィギュレーションデバイス (EPCS4) に回路情報を書き込む必要です。

専用のコンフィギュレーションデバイスに書き込む手順：



まず、USB-Blaster と FPGA ボードの ASP ポートを繋ぎます。
書き込むソフトウェア「Programmer ツール」が起動します。



「Mode」に[Active Serial Programming]を選択します。「Add File」ボタンを押して、書き込みファイル*.pof を添加します。*.pof の右側にある Program/Configure と Verify の欄にチェックを入れて、「Start」ボタンを押します。プログレス・バーが 100%まで達すれば、書き込み成功です。

書き込み成功した後、USB-Blaster を FPGA ボードの ASP ポートから抜いて、FPGA ボードに電源を再投入すると、書き込んだプログラムが実行します。

第四章 注意事項

4.1 電源



5V 入力、内+、外-。外径 5mm、内径 3.5mm。

4.2 JTAGの挿入と抜出の操作手順

※電源を入れたまま JTAG を挿入したり、抜き出したりすると FPGA を壊す恐れがあります。

正しい操作手順：

接続時：電源を切る→ダウンロードケーブルを JTAG (ASP) 口に挿入→電源を入れる

切断時：電源を切る→ダウンロードケーブルを JTAG (ASP) 口から抜出す

4.3 ソフトウェアについて

Altera のソフトウェアはバージョンの更新が速いですが、新しいバージョンが必ず良いとは限らないので、実際のニーズより選択すれば良いです。

※ Quartus II と NIOS IDE のバージョンは必ず一致にする必要。また同じフォルダにインストールする必要。

4.4 ピンの複用

インタフェースボードと接続して利用する場合、拡張 IO の複用にご注意ください。

4.5 参考資料

CPLD/FPGA の開発及び NIOS II プログラムの設計などについては下記 EP2C8 ボードのマニュアルをご参照ください。

<http://www.dragonwake.com/download/FPGA/new/MAXII-CycloneII-EP2C8.pdf>

以上。