

# Cyclone II EP2C5T144 ボード

## マニュアル

株式会社日昇テクノロジー

http://www.csun.co.jp

info@csun.co.jp

2012/01/13



copyright@2012



第一章 Cyclone II/EP2C5T144 ボードの概要3	
1.1 概要仕様	
1.2 ハードウェアの構造6	
1.2.1 四つのBANK	
1.2.2 拡張ピンヘッダ及びSRAMインタフェース7	
1.2.3 ユーザLED (D4) の回路8	
1.2.4 I2Cインタフェース	
1.2.5 SRAMインタフェース10	
1.2.6 コンフィギュレーションの回路11	
<b>1.2.7</b> クロック及びRESET回路12	
1.3 CPLD/FPGAの実験用I/Fボードとの接続12	
<b>1.4</b> サンプルソースについて14	
1.4.1 Logic_verilog	
1.4.2 sram_2561615	
1.4.3 Logic_vhd115	
<b>1.4.4 EP2C5</b> ボードのLEDテスト15	
第二章 開発ツールのインストール15	
2.1 Quartus II Web Editionをインストールする16	
2.2 Nios II エンベデッド・デザイン・スイートをインストールする23	
第三章 Cyclone IIの初体験29	
<b>3.1 Quartus II評価版にソースを読み込む</b> 29	
3.2 USB-Blasterをインストールする	
3.3 書き込むソフトウェアを起動する	
3.4 FPGAのコンフィギュレーションデバイスに書き込む	
第四章 注意事項	
4.1 電源	
<b>4.2 JTAGの挿入と抜出の操作手順</b>	
<b>4.3</b> ソフトウェアについて	
4.4 ピンの複用	
4.5 参考資料	

※ 使用されたソースコードは<u>http://www.csun.co.jp/</u>からダ ウンロードできます。



### 第一章 Cyclone II/EP2C5T144 ボードの概要



Cyclone II デバイスは、90-nm テクノロジの優位性(小型ダイ・サイズ、高集積度、および低コスト)と、低コスト FPGA における最速性能を提供します。すべての Cyclone II デバイスは、TSMC の 90-nm プロセス技術と low-k 低誘電材を使用して 300-mm ウェハ上に 製造されています。



Cyclone II デバイスは、一般的なデジタル信号処理(DSP)機能を実装できる、最大 150 個の 18 ビット x 18 ビット・マルチプライヤを備えています。エンベデッド・マルチプライヤは、ロジック・エレメント(LE) ベースのマルチプライヤと比較してより高い性能とロジック効率を提供します。





**250 MHz** の性能

			ディ	ベイス		
特徴	EP2C5	EP2C8	EP2C20	EP2C35	EP2C50	EP2C70
ロジック・エレメント数	4,608	8, 256	18, 752	33, 216	50, 528	68, 416
M4K RAMブロック数	26	36	52	105	129	250
RAM 総ビット数	119, 808	165, 888	239, 616	483, 840	594, 432	1, 152, 000
エンベデッド乗計算器数	13	18	26	35	86	150
PLL 数	2	2	4	4	4	4

### 1.1 概要仕様





裏面のイメージ:





- EP2C5T144C8 FPGA マイコン搭載
- 50MHz 水晶発振器搭載
- 5V 電源で給電、電源スイッチと電源指示 LED 付き
- R\_C キー、押下して EPCS1 からソースを読んで実行開始する
- 1085-3.3V/1117-1.2V レギューレータ搭載

- JTAG I/F、SOF ファイルをダウンロードする。直接 FPGA に書き込んで、速度は速い ですが、電源切れたらなくなる。デバッグする時に利用するのをお勧め。
- ASP I/F、POF ファイルをダウンロードする。コンフィギュレーションデバイス EPCS4 に書き込む。速度は JTAG より遅いですが、電源切れても保持する。最後のプログラム或いは電源を再起動が必要な場合利用する。※書き込み終了したら、電源を切って、ケーブルを抜けてから、正常に次の操作が出来る。
- ユーザ LEDx1

不可能への挑戦

- ユーザボタン x1、Reset キーと複用
- すべての IO を 2.54mm 拡張ピンヘッダで引き出されている
- コンフィギュレーションデバイス EPCS1(1Mbit)搭載
- SRAM インタフェース (IS61LV25616AL 256kx16b)
- I2C (AT24C02) 搭載
- 外形寸法: 81×60(mm) ※突起物は除く
- 回路図を提供しております
- サンプルのソースコードを提供しております

#### 1.2 ハードウェアの構造

#### 1.2.1 四つのBANK

- 1) ASDO、Pin1はASP回路のピンの一つ
- 2) nCSO、Pin2はASP回路のピンの一つ

3) nCE0、Pin76 は複数機能のピンで、ASP 回路のピンとしても利用し、単独の IO としても 利用できる。番号は B3\_4。







		UIB		
UID	_	IO LUDOP.	112	B2 1
JID IQ, LVDSS&n (DEV_OE) IQ, LVDSS&n (DMBBWS#1B) IQ, LVDSS7n, DQ1B8 IQ, LVDSS7n, DQ1B8 IQ, LVDSS7n, DQ1B6 IQ, LVDSS6n, DQ1B6 IQ, LVDSS5n, DQ1B6 IQ, LVDSS5n, DQ1B6 IQ, LVDSS3n, DQ1B1 IQ, LVDSS3n, DQ1B1 IQ, LVDSS3n, DQ1B2 IQ, LVDSS3n, DQ1B2 IQ, LVDSS3n, DQ1B1 IQ, LVDSS1n IQ, LV	40	IO, LVDS28n IO, LVDS28n IO, LVDS27n IO, LVDS27n IO, LVDS27n IO, LVDS25n IO, LVDS25p, (DPCLK3DQ301) IO, VREHE2NO IO, LVDS24n IO, LVDS24n IO, LVDS24n, DQ170 IO, LVDS17n, DQ171 IO, LVDS17n, DQ173 IO, LVDS17n, DQ173 IO, LVDS17n, DQ175 IO, LVDS13n, DQ175 IO, LVDS14n, DQ175 IO, LVDS14n, DQ175 IO, LVDS14n, DQ175 IO, LVDS14n, DQ175 IO, LVDS14n, DQ175 IO, LVDS14n, DQ175		B2 1 B2 2 B2 3 B2 4 B2 5 B2 6 B2 7 B2 8 B2 9 B2 10 B2 11 B2 12 B2 13 B2 14 B2 16 B2 17 B2 18 B2 19 B2 20 B2 21 B2 22 B2 23 B2 4 B2 10 B2 10
IO, LVDS44p IO, LVDS44p IO, LVDS44p IO, LVDS43p IO, LVDS43p		IO, LVDS10p, (DMT/BWS#IT) IO, LVDS10p, (DMT/BWS#IT) IO, LVDS10n EP2C5T144C8	√ <u>143</u> 144	<u>B2</u> 22 B2_23
	UID IQ, LVDSS\n, (DEV_OE) IQ, LVDSS\n, (DMBBWSHB) IQ, LVDSS\n, DQIBS IQ, LVDSS\n, IQ, LVDS\n IQ, LVDS\n	UID IQ_LVDSS%_(DEV_OE) IQ_LVDSS%_(DMBBWS4B) IQ_LVDSS%_(DMBBWS4B) IQ_LVDSS%_DDQB8 IQ_LVDSS%_DDQB8 IQ_LVDSS%_DDQB8 IQ_LVDSS%_DDQB8 IQ_LVDSS%_DQB8 IQ_LV	UID         IO, LVDSS&n (DEV. OE)         40         B4 1         IO, LVDSS           IO, LVDSS         IO, LVDSS         41         B4 2         IO, LVDSS         <	UID         IO, LVDSS%n (DEV OP IO, LVDSS%n (DMBBBW%HB) IO, LVDSS%n DQIBS         -40         B4 1 -41         B4 2 -42         B4 3 -84         IO, LVDSS%n (DLVDSS%n IO, LVDSS%n DQIBS         -4112 IO, LVDSS%n IO, LVDSS%n DQIBS         -4112 IO, LVDSS%n IO, LVDSS%n IO, LVDSS%n DQIBS         -4112 IO, LVDSS%n IO, LVDSS%n IO, LVDSS%n IO, LVDSS%n DQIBS         -412 IO, LVDSS%n IO, LVDSS%n IO, LVDSS%n IO, LVDSS%n IO, LVDSS%n DQIBS         -412 IO, LVDSS%n IO, LVDSS%n IO, LVDSS%n IO, LVDSS%n IO, LVDSS%n IO, LVDSS%n DQIBS         -412 IO, LVDSS%n IO, LVDSS%n

EP2C5T144C8

### 1.2.2 拡張ピンヘッダ及びSRAMインタフェース

引き出されているピンは下記の図の通り:





利用していないピンと電源関連ピンを除いて、:100 - 13 (NC) - 6 (power) = 81個の IOピンが利用できる。その内CLK6とCLK7はInputピンで、その他は全てInput/Output両方使 えるピンになっている。図の右側はIS61LV25616AL, 512kのSRAMのインタフェース。

### 1.2.3 ユーザLED (D4) の回路



ピン配置:

# led on core board

set\_location\_assignment PIN\_73 -to led



信号	ピン	機能
LED	73	LED

#### 1.2.4 I2Cインタフェース



ピン配置:

# AT24C02 on core board

set\_location\_assignment PIN\_70 -to SCL\_I2C

set\_location\_assignment PIN\_69 -to SDA\_I2C

信号	モン	機能
SCL_I2C	70	AT24C02 シリアル通信クロック信号
SDA_I2C	69	AT24C02 シリアル通信データ信号



#### 1.2.5 SRAMインタフェース



RAMを拡張すると共にNios IIをもっと良くサポートする為、SRAMインタフェースを提供している。IS61LV25616ALで実現している。アドレスラインが18本で、A18は1MのSRAMと交換性を持つためである。その他、データラインが16本、制御ラインが5本で、合わせてI0の39個を使っている。256x16bKbitで512kBの容量である。



### 1.2.6 コンフィギュレーションの回路









### 1.2.7 クロック及びRESET回路



本ボードは 50MHz 水晶発振でシステムにクロックを提供している。ユーザーに 8 個のクロ ックを用意している。全部普通のインプットピンとして利用できる。設計上では下記の様 に設定している:

- 1、CLK0とCLK4はシステムにクロックを提供し、直接50MHz水晶発振と接続している。
- 2、CLK5 はユーザのプログラミングによって RESET として利用できる。
- 3、CLK6 と CLK7 は引き出されていて、インプットピンとして利用できる。
- 4、CLK1、CLK2 と CLK3 は引き出されてない。

### 1.3 CPLD/FPGAの実験用I/Fボードとの接続

イメージ:









### 引き出しているピンリスト:

GND	GND	3. 3v	5v
130	131	3.3v	5v
135	137	133	134
138	139	127	128
141	142	117	118
143	144	115	116



144	145	113	114
147	149	110	112
150	151	106	107
152	160	102	105
161	162	99	101
163	164	96	97
165	168	94	95
169	170	90	92
171	173	88	89
175	176	86	87
179	180	82	84
181	182	80	81
185	187	76	77
188	189	74	75
191	192	70	72
193	195	68	69
197	198	64	67
199	NC	NC	63
NC	NC	NC	NC

### 1.4 サンプルソースについて

Example\_EP2C5. zip に下記サンプルソースは含まれている。

### 1.4.1 Logic\_verilog

turn\_on\_led

LED 点灯

sw\_led

DIP で LED 制御

rider\_led

rider\_led テスト

water\_led

ウォーターLED

key\_led\_without\_debounce

タッチSWでLED制御(手ぶれ処理なし)

key\_led\_with\_debounce





タッチ SW で LED 制御(手ぶれ処理あり) seg7x8\_dynamic\_disp 7SEGMENT 動的表示 matrixKeyboard\_seg7 キーマトリクスと 7SEG 表示 beep\_test ブーザテスト beep\_matrixKeyboard 周波数よりの簡易ブーザテスト lcd1602 test LCD1602 表示 lcd1602 clock 簡易クロック、LCD1602表示 vga\_color\_slip VGA カラースクリーン表示 vga char VGA キャラクター表示 uart\_tx\_test シリアル通信送信テスト uart\_rx\_test シリアル通信受信テスト ps2\_keyboard\_test PS2 キーボードテスト ds18b20\_seg7 DS18B20 温度検出、7SEG 表示テスト 1.4.2 sram 25616 SRAM テスト(オプション) 1.4.3 Logic\_vhdl

- VHDL プログラム例 (LED 点灯、ウォーターLED)
- 1.4.4 EP2C5 ボードのLEDテスト

ボードの簡易テスト

### 第二章 開発ツールのインストール

CPLD/FPGAの開発には、ALTERAから Quartus II Web Edition という無償版のツールが公開 されているのでこちらを利用します。Quartus II には別に製品版があり、Web Edition は



使用できるデバイスなどに制限がありますが、MAX II と Cyclone II に関しては、どのデバ イスも使用できるのでまったく問題ありません。Quartus II Web Edition は、総合開発環 境になっており、このソフトウェアだけで、ソース・エディタや I/O ピンのアサインメン ト、論理合成、デバイスの書き込み用のプログラムなど、CPLD/FPGAの開発に必要な機能が すべて含まれています。また、Nios II エンベデッド・デザイン・スイートは Nios プロセ ッサー用の開発ツールです。

Quartus II Web Edition と Nios II エンベデッド・デザイン・スイートのダウンロードは、 次の URL から行うことができます。

http://www.altera.co.jp/support/software/download/nios2/dnl-nios2.jsp

なお、ダウンロードする際は、最初に ALTERA のページにサイン・インを行い、ユーザ情報 を登録する必要があります。本章には v8.1 でインストールの手順を説明します。インスト ールした後、ライセンス・ファイルが不要です。



2.1 Quartus II Web Editionをインストールする

「Next」ボタンを押すと、英文のライセンスが出てきます。同意できる場合は、「I accept the terms of the license agreement」を選択して、「Next」ボタンを押します。







使用者の名前と所属会社名を入力するダイアログが表示されます。名前は半角のアルファ ベットで入力しましょう。







インストール先フォルダを変更せず、そのまま進んでください。







「Complete」を選択してください。

Quartus II 8.1 Web Edition	n Setup	×
<b>Start Copying Files</b> Review settings before c	opying files.	
	Setup has enough information to start copying the program files. If you war to review or change any settings, click Back. If you are satisfied with the settings, click Next to begin copying files. Current Settings: User Name and Company: quartus; csun Destination Directory: C:¥altera¥01¥quartus Design Directory: C:¥altera¥01¥qdesigns Program Folder: Altera	it :
InstallShield	Cancel	

間違いがないかどうか確認し、問題がなければ「Next」を押します。





インストール中の画面です。

Question	n 🛛 🔀
?	Create Quartus II 8.1 Web Edition shortcut on desktop?
	(はいの) (いいえい)

インストール完了すると、ショートカットをデスクトップに作るかどうか聞かれます。どちらでも選択できます。





最後に「Finish」をクリックすると、ウィザードが閉じてインストールが終了します。

インストールされた Quartus II 評価版をさっそく起動してみます。一番最初に起動したと きだけ、次のようなダイアログが現れ、「Run the Quartus II software」を選択してくだ さい。「OK」ボタンを押します。

Quartus II 8.1 Web Edition
Thank you for installing the Quartus II Web Edition software - the #1 in performance and productivity. To upgrade to the full featured Subscription Edition please visit www.altera.com
Select one of the following options
OK Cancel



Quartus II の画面出てきます。

	×
Getting Started Wit	h Quartus® II Software
	OUARTÚS II
	the second s
Start Designing	Start Learning
Designing with Quartus II software requires a project	The audio/video interactive tutorial teaches you the basic features of Quartus II software
Create a New Project (New Project Wizard)	Open Interactive Tutorial
Open Existing Project	
Open Recent Project:	
ButtonCountAIIVHDL LED1	
ButtonCountVHDL ButtonCount	
Web links:	
Literature Training	Online Demos Support
Don't show this screen again	
Cuartus II <u>File Edit View Project Assignments Processing Tools W</u>	ndow <u>H</u> elp
Project Navigator	
Entity Compilation Hierarchy	
	Quartus II Software Timing Jesigner with Quartus II Integration Purchase Quartus* II Software Edit a Niget II
	Subscription Edition Free trial>> Processor Free Limited Time Offer
Alterarchy Files Posign Units	
Flow: Compilation	OUARTUS <sup>®</sup> II
Compile Design     Analysis & Synthesis	Version 8.1
Fitter (Place & Route)     Second Secon	🖉 View New Quartus II
EDA Netlist Writer      Program Device (Open Programmer)	
	Documentation
ype Message	
System (Processing )         Extra Info )         Info )         Warning )         Critical           Message:         Image:	iWarning λ Errorλ Suppressed λ Flag / ▼ Locate
2'	



### 2.2 Nios II エンベデッド・デザイン・スイートをインストールする

🔚 Nios II Embec	lded Design Suite 8.1		
	<ul> <li>Press Install button to state</li> <li>Use Browse button to selection the folders tree. It can manually.</li> <li>If the destination folder do created automatically before</li> </ul>	rt extraction. ect the destination n be also entere es not exist, it w re extraction.	on folder ed vill be
	Destination folder  C:\DOCUME~1\zqing\LOCALS~1\Temp  Installation progress	~	Bro <u>w</u> se
	(	Install	Cancel
Rios II Ember	Ided Design Suite 8.1 Extracting nios2eds\setup.ini Extracting nios2eds\setup.exe Extracting nios2eds\layout.bin Extracting nios2eds\data1.cab Extracting nios2eds\data2.cab		

先ず「Install」ボタンを押して解凍します。「Next」ボタンを押します。





ライセンスを同意すれば、「Yes」ボタンを押します。







Nios II Embedded Design S	uite 8.1 Setup	×
Choose Destination Loca	tion	
Select folder where seta:	will install files.	
	Setup will install Nios II Embedded Design Suite 8.1 in the following folder. To install to this folder, click Next. To install to a different folder, click Browse and select another folder.	
	C:¥altera¥81 B <u>r</u> owse	
		J
InstallShield	< <u>B</u> ack <u>Next</u> > Cancel	
Nios II Embedded Design S Select Program Folder Please select a program f	iuite 8.1 Setup	X
Nios II Embedded Design S Select Program Folder Please select a program	Folder. Setup will add program icons to the Program Folder listed below. You may type a new folder name, or select one from the existing folders list. Click Next to continue. Program Folder: Adobe Altera Existing Folders: Adobe Altera Apache HITP Server 2.2 Cadius 1-47/ DAEMON Tools Lite Hewlett-Packard Microsoft eMbedded Visual C++ 4.0 Microsoft SQL Server 2005 Microsoft Windows CE 5.0 Microsoft Windows SDK v6.0A	

インストール先フォルダを変更せず、そのまま進んでください。







「**Complete**」を選択してください。



間違いがないかどうか確認し、問題がなければ「Next」を押します。





インストール中。

Question	n 🛛 🔛
2	Create Nios II Embedded Design Suite 8.1 shortcut on desktop?

インストール完了すると、ショートカットをデスクトップに作るかどうか聞かれます。ど ちらでも選択できます。





最後に「Finish」をクリックすると、ウィザードが閉じてインストールが終了します。



### 第三章 Cyclone IIの初体験

### 3.1 Quartus II評価版にソースを読み込む

弊社のウェブサイトで Cyclone II 用のサンプルソース (Example\_EP2C5.zip) をダウンロ ードできます。

ソース・ファイルを..¥alteraに展開します。その中に、幾つのサンプルがあります。具体的には 1.4 節をご参照ください。一つのサンプルを紹介します。

エクスプローラまたはマイ コンピュータを起動して、 ¥Example\_EP2C5¥LogicVerilog¥\_1\_turn\_on\_led というフォルダを開いてください。

これらの中に、名前が turn\_on\_led.qpf、Quartus II Project File となっているファイル があります。これをダブル・クリックすると、Quartus II が起動して、turn\_on\_led とい うプロジェクトが開きます。





Quartus IIの「Processing」メニューから「Start Compilation」を選択します。するとコ ンパイル処理が始まり、プロブレス・バーが働き始めます。コンパイルは数十秒で終了し ます。

🐇 Quartus II - D:/embedded/alter	a/workspace/Example_EP2C5/_1_turn_on_led/turn_on_led - turn_on_led 📃 🔲 🔀
<u>File E</u> dit <u>V</u> iew <u>P</u> roject <u>A</u> ssignments	Processing Tools Window Help
i 🗅 🛎 🖬 🎒 🎒 👗 🖻 🛍 🗠	🏧 Stop Processing Ctrl+Shift+C
Project Navigator	Start Compilation Ctrl+L
Entity	
turn_on_led	Update Memory Initialization File Compilation Report Ctrl+R
🖏 Quartus II	
Full Compilation was :	successful (14 warnings)
ОК	

### 3.2 USB-Blasterをインストールする

通常、MAX II/Cyclone II にコンフィグレーション・データを書き込むために、アルテラが 発売している専用ダウンロード・ケーブル (ByteBlaster MV や ByteBlaster II や USB 接続タ イプの USB-Blaster など)を購入しなければなりません。



弊社は専用ダウンロード・ケーブル USB-Blaster 同等のデバイスを提供しております。 http://www.csun.co.jp/SHOP/200901025.html

次に示す手順に従って、USB-Blasterのデバイス・ドライバをインストールしてください。







USB-Blaster を USB ケーブルでパソコンと繋ぐと、自動的にこの画面が現れ、「いいえ、今回は接続しません」を選択してください。

新しいハードウェアの検出ウィザー	ş				
	新しいハードウェアの検索ウィザードの開始				
	お使いのコンピュータ、ハードウェアのインストール CD または Windows Update の Web サイトを検索して (ユーザーの了解のもとに) 現在のソフトウ ェアおよび更新されたソフトウェアを検索します。 プライバシー ポリシーを表示します。				
	ソフトウェア検索のため、Windows Update に接続しますか?				
	○はい、今回のみ接続します(⊻) ○はい、今すぐおよびデバイスの接続時には毎回接続します(E) ④いいえ、今回は接続しません(T)				
	続行するには、D欠へ] をクリックしてください。				
	< 戻る(B) 次へ(N) > キャンセル				





「一覧または特定の場所からインストール」を選択してください。

新しいハードウェアの検出ウィザード
検索とインストールのオブションを選んでください。
<ul> <li>● 次の場所で最適のドライバを検索する(S)</li> <li>下のチェック ボックスを使って、リムーバブル メディアやローカル パスから検索できます。検索された最適のドラ イバがインストールされます。</li> <li>□ リムーバブル メディア (フロッピー、CD-ROM など) を検索(M)</li> <li>● 次の場所を含める(Q):</li> <li>○ C¥altera¥81¥quartus¥drivers¥usb-blaster</li> <li>&gt; 参照(R)</li> </ul>
<ul> <li>○検索しないで、インストールするドライバを選択する(D)</li> <li>→覧からドライバを選択するには、このオブションを選びます。選択されたドライバは、ハードウェアに最適のものとは限りません。</li> </ul>
〈戻る(8) 次へ(N) > キャンセル

USB-Blaster のドライバはC:¥altera¥81¥quartus¥drivers¥usb-blaster にあります。



#### インストール中。

新しいハードウェアの検出ウィザー	5				
	新しいハードウェアの検索ウィサードの完了				
	次のハードウェアのソフトウェアのインストールが完了しました				
	Altera USB-Blaster				
	[完了]をクリックするとウィザードを閉じます。				
	< 戻る(B) <b>完了</b> キャンセル				

インストール完了します。

### 3.3 書き込むソフトウェアを起動する

Quartus IIの「Tools」メニューから「Programmer」を選択すると、MAX II/Cyclone II に 回路を書き込むソフトウェア「Programmer ツール」が起動します。



低価格、高品質が不可能? 日昇テクノロジーなら可能にする

🐇 Quartus II – C:/altera/F	PGA/epm2	40/led_w	ater/led_water - led_water		
<u>File E</u> dit <u>V</u> iew <u>P</u> roject <u>A</u> s	signments F	rocessing	<u>T</u> ools <u>W</u> indow <u>H</u> elp		
🛛 🗅 🖬 🖪 👩 🕹 🕹 🖬		⇔ led_w	Run E <u>D</u> A Simulation Tool	• 💊 🗄	TOP
Project Navigator			Run <u>E</u> DA Timing Analysis Tool		-
Entity	Logic Cells	LC Registe	🐝 Launch Design Space E <u>x</u> plorer		
AX I: EPM240T100C5			TimeQuest Timing Analyzer		
🗄 💦 led_water	52 (0)	35			
			<u>A</u> dvisors	tus II Inte	gr
			Ohip Planner (Floorplan and Chip Editor)	e trial>>	1
			Design Partition Planner		<b>-</b>
			Netlist Viewers	MA Des	sigr tou
<				_	Δ
AHierarchy E Files & Design	Units		🞇 SignalTap II Logic A <u>n</u> alyzer		
			🚗 In-System Memory Content Editor		
Tasks			Logic Analyzer Interface Editor		
Flow: Compilation			🔛 In-System Sources and Probes Editor 🛛 🚺		
Task 🖌			<u>S</u> ignalProbe Pins	<b></b>	
🖌 🕞 🕨 Compile Design			🕸 Programmer		
Analysis & Syr	ithesis		Manage Winned Diverty Manager		
V III► Fitter (Place &	Route)		wiega <u>w</u> izaro riug-in Wanager		
Assembler (Ge	nerate program	mming files.	T SOPC Builder		



Programmer ツールが起動したら、最初に書き込みケーブルのセットアップを行います。



「Hardware Setup」というボタンを押してください。

Hardware Setup			
Hardware Settings JTAG Settings Select a programming hardware setup to u only to the current programmer window. Currently selected hardware:	use when programmir SB-Blaster (USB-0)	ng devices. This programm	ning hardware setup applies
Available hardware items: Hardware ByteBlaster USB-Blaster	Server Local Local	Port LPT1 USB-0	Add Hardware Remove Hardware
			Close

「USB-Blaster[USB-0]」を選択します。「Close」を押して、Hardware Setup ダイアログを 閉じたら、「Auto Detect」というボタンを押してください。これは、ケーブルの先にある CPLD/FPGA を自動認識する操作です。うまく CPLD/FPGA が認識されると、EPM240 又は EP2C5 又は EP2C8 という CPLD/FPGA が発見されるはずです。発見されない場合は、

- ケーブルが正しく接続されているか、
- ・ FPGA の場合は、ケーブルとボードの JTAG ポートを繋ぎますか
- CPLD/FPGA 基板に電源が入っているか

など、これまでの作業に問題がないか再度チェックをしてください。

CPLD/FPGA の認識に成功すると、「Add File」ボタンを押して、書き込みファイルを添加し ます。\*.pof は CPLD 用書き込みファイル、\*.sof は FPGA 用書き込みファイルです。\*.pof の右側にある Program/Configure と Verify の欄にチェックを入れて、「Start」ボタンを押 します。プログレス・バーが 100%まで達すれば、書き込み成功です。

CPLD/FPGA 用 I/F 基板上の LED が点滅しているのを確認してください。どうでしょうか?うまく点滅したでしょうか。

#### 3.4 FPGAのコンフィギュレーションデバイスに書き込む

Cyclone II は SRAM ベースの FPGA なので、電源投入直後は中身が空の状態です。製品化の際や、電源投入後に自動的に動作させる必要がある場合は、専用のコンフィギュレーションデバイス (EPCS4) に回路情報を書き込む必要です。



専用のコンフィギュレーションデバイスに書き込む手順:



先ず、USB-Blaster と FPGA ボードの ASP ポートを繋ぎます。 書き込むソフトウェア「Programmer ツール」が起動します。

🛍 Quartus II -	C:/altera/FPGA/EP2	C8/default_led/d	iv – div – [di	v.cdf]		
<u>File Edit Pr</u> ocessing <u>T</u> ools <u>W</u> indow						
🚖 Hardware Setup USB-Blaster [USB-0] Mode: Active Serial Programming 🔽 Progress: 0%						
🔽 Enable real-time I	SP to allow background prog	gramming (for MAX II de∖	vices)			
🏴 Start 📐	File	Device	Checksum	Usercode	Programz Venis Configure	Blank- Check Examine S
🖬 Stop	div.pof	EPCS4	06EFF068	00000000		
Auto Detect					$\smile$	
🗙 Delete					チェック	
🏙 Add File	「 <b>Start</b> 」示	タンを押す			を入れる	
🞬 Change File						
🔛 Save File						
📽 Add Device						
📫 Up						
Down						
	<					>
For Help, press F1						NUM

「Mode」に[Active Serial Programming]を選択します。「Add File」ボタンを押して、書 き込みファイル\*.pof を添加します。\*.pof の右側にある Program/Configure と Verify の 欄にチェックを入れて、「Start」ボタンを押します。プログレス・バーが 100%まで達すれ ば、書き込み成功です。

書き込み成功した後、USB-Blaster を FPGA ボードの ASP ポートから抜いて、FPGA ボードに 電源を再投入すると、書き込んだプログラムが実行します。



### 第四章 注意事項

4.1 電源



₩ 5V 入力、内+、外-。外径 5mm、内径 3.5mm。

### 4.2 JTAGの挿入と抜出の操作手順

※電源を入れたまま JTAG を挿入したり、抜き出したりすると FPGA を壊す恐れがあります。 正しい操作手順:

接続時:電源を切る→ダウンロードケーブルを JTAG (ASP) ロに挿入→電源を入れる 切断時:電源を切る→ダウンロードケーブルを JTAG (ASP) ロから抜出す

### 4.3 ソフトウェアについて

Altera のソフトウェアはバージョンの更新が速いですが、新しいバージョンが必ず良いと は限らないので、実際のニーズより選択すれば良いです。

> ※ Quartus II と NIOS IDE のバージョンは必ず一致にする必要。また 同じフォルダにインストールする必要。

#### 4.4 ピンの複用

インタフェースボードと接続して利用する場合、拡張 IO の複用にご注意ください。

### 4.5 参考資料

CPLD/FPGA の開発及び NIOS II プログラムの設計などについては下記 EP2C8 ボードのマニュ アルをご参照ください。

http://www.dragonwake.com/download/FPGA/new/MAXII-CycloneII-EP2C8.pdf

以上。