

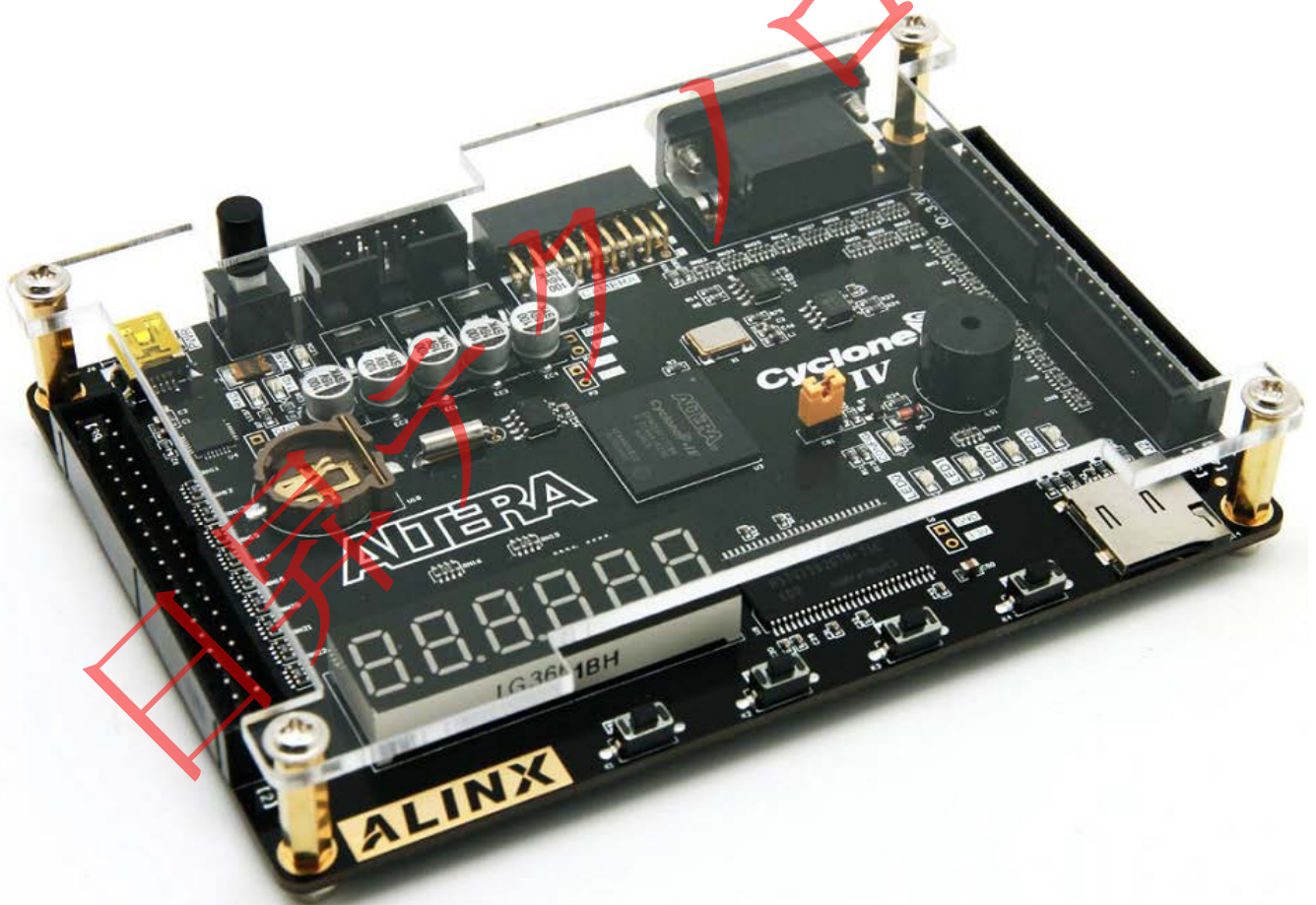
ALTERA Cyclone IV EP4CE6 ボードのマニュアル

株式会社日昇テクノロジー

<http://www.csun.co.jp>

info@csun.co.jp

作成日 2014/10/02



copyright@2017

修正履歴

NO	バージョン	修正内容	修正日
1	Ver1.0	新規作成	2014/10/02
2	Ver2.0	40pin 拡張 I/F を一つ追加。PS2 I/F、TFT 液晶 I/F を削除。USB2UART 変換チップは CP2102 に変更	2017/01/10

※ この文書の情報は、文書を改善するため、事前の通知なく変更されることがあります。最新版は弊社ホームページからご参照ください。「<http://www.csun.co.jp>」

※ (株)日昇テクノロジーの書面による許可のない複製は、いかなる形態においても厳重に禁じられています。

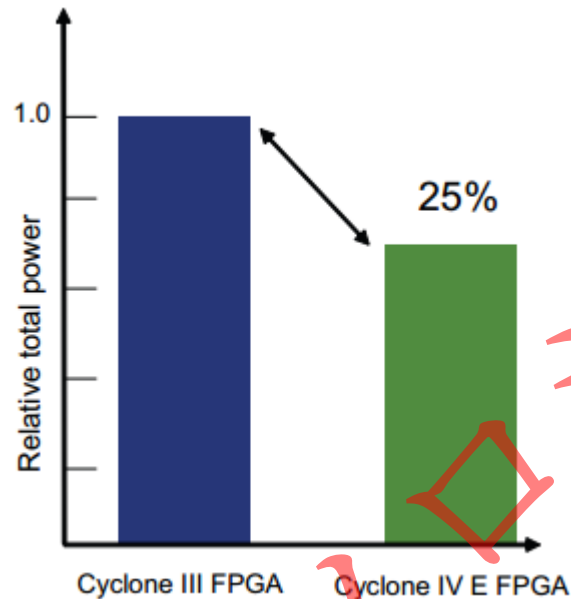
目次

1 概要.....	4
2 電源.....	6
3 FPGA.....	7
3.1 JTAG インタフェース.....	7
3.2 コンフィグチップ M25P16.....	8
3.3 FPGA の給電ピン	8
4 50M 水晶発振器	10
5 SDRAM.....	11
6 EEPROM 24LC04.....	14
7 リアルタイムクロック DS1302.....	15
8 8 セグメントディスプレイ.....	16
9 USB からシリアルへの変換.....	19
10 VGA インターフェース	21
11 ブザー.....	25
12 SD カードスロット	26
13 拡張インタフェース.....	27
14 LED.....	30
15 キー.....	31
16 カメラのインタフェース	32
17 7 インチ TFT-LCD インタフェース.....	34
18 JTAG インタフェースで EPCS にダウンロードする手順.....	35

1 概要

本 FPGA 開発プラットフォームの機能について簡単に紹介する。

本開発ボードは ALTERA 会社の CYCLONE IV シリーズ FPGA を使用した。型番は EP4CE6F17C8 で、256 ピンの FBGA パッケージである。ALTERA 社の公式データによると、CYCLONE III と比べて CYCLONE IV は 25% の消費電力を削減している、下図のように



本開発ボードの FPGA リソースは下図のように：

Category	Integrated Circuits (ICs)
Family	Embedded - FPGAs (Field Programmable Gate Array)
Series	Cyclone® IV E
Number of LABs/CLBs	392
Number of Logic Elements/Cells	6272
Total RAM Bits	276480
Number of I/O	179
Number of Gates	-
Voltage - Supply	1.15 V ~ 1.25 V
Mounting Type	Surface Mount
Operating Temperature	0°C ~ 85°C
Package / Case	256-LBGA
Supplier Device Package	256-FBGA (17x17)
Other Names	544-2828 EP4CE6F17C8N-ND
Lead Free Status	Lead free
RoHS Status	RoHS Compliant

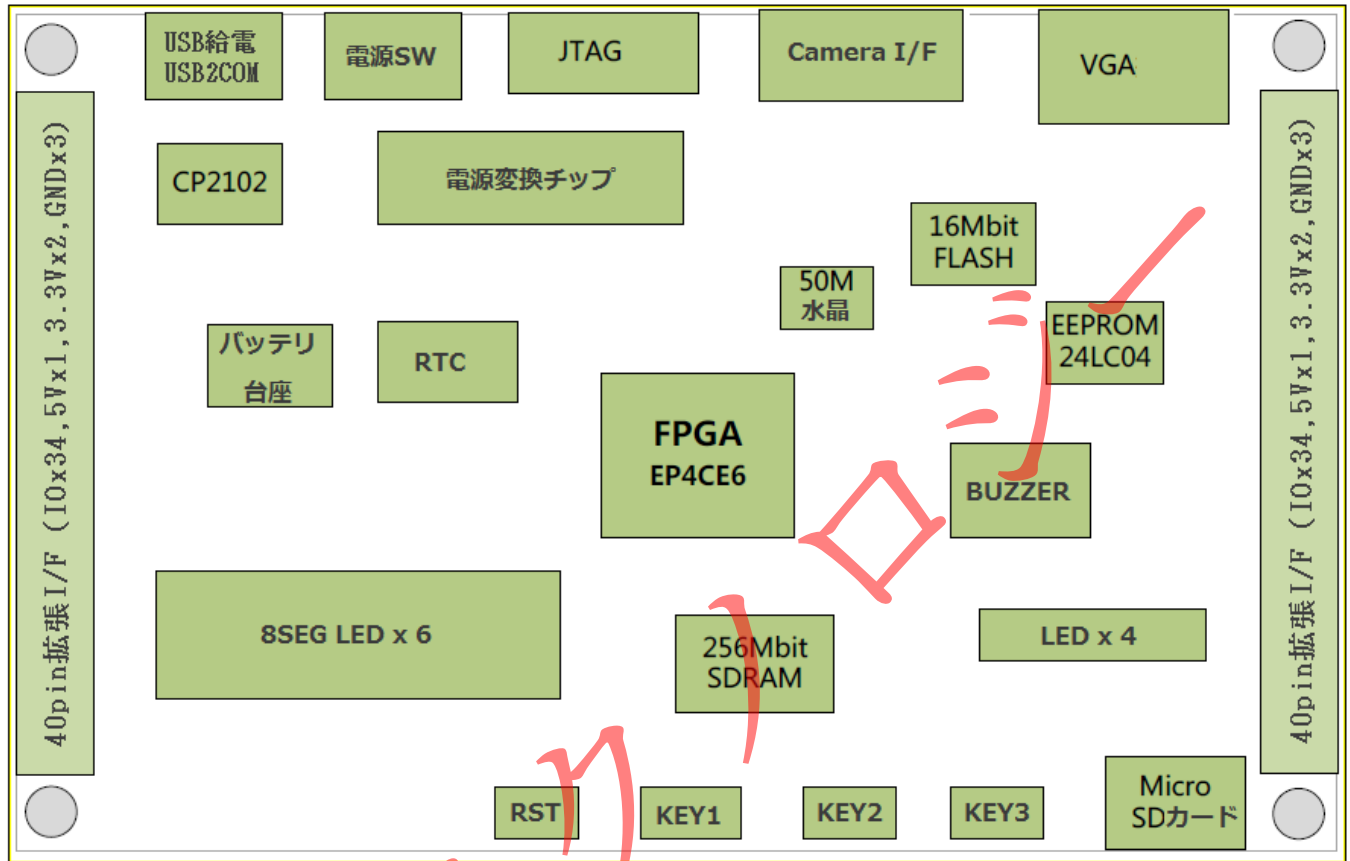
中に、主なパラメータは下記：

論理ユニット LE：6272；

乗数ラボ- 392；

RAM : 276480bit ;
IO 数量 : 179 つ ;
カーネル電圧 : 1.15V-1.25V (1.2V を推薦する) ;
動作温度 : 0-85℃

下図は全体のシステムの構造図である :



上記の構造図に通じて、この開発ボードによって実現できる機能は下記の通り :

- USB インターフェイス給電。一本の USB 線で開発ボードに給電することができる。同時に、USB インターフェイスは USB からシリアルへの変換の機能もあり、USB ケーブルを繋ぐと、パソコンとシリアル通信もできる。
- 256Mbit の SDRAM 搭載、データのキャッシュあるいは NIOS 実行時の内部メモリにも利用できる。
- 16Mbit の SPI FLASH を搭載。
- 一つのカメラインタフェース、OV7670 カメラモジュールと直結可能。
- 一つの VGA インタフェース、16bit で、65536 色の表示サポート、カラー画像など表示できる。
- 一つの RTC インタフェース、バッテリータイプは CR1220 である。
- 一つの IIC インタフェースの EEPROM 24LC04 を搭載。
- 一つのブザーを搭載、SOS アラーム警報などの機能を実現できる。
- 6 つの 8SEG LED (アノードコモン LED)、動的なスキニングで数字の動的な表示を実現。
- 4 つの発光ダイオード LED。
- 3 つのユーザーキー。
- 50M の水晶発振器、開発ボードに安定的なクロックを提供する。
- 二つの 40 ピンの拡張インタフェース (2.54mm ピッチ)、その中、34 個の IO ポート、5V 電源一つ、3.3V 電源二つと GND 三つを含まれる。型番 AT070TN83 の 7 インチの TFT 液晶と直結可能。或いは AD/DA などの拡張モジュールと繋ぐ。
- JTAG インタフェース、FPGA のデバッグ及びプログラミングに利用する。

- 一つの MicroSD カードソケット、SPI モードをサポートする。

2 電源

開発ボードの電源は USB インタフェースによって提供される。2.1 図のように、J1 は USB 給電インターフェース、SWI はスイッチ、F1 は自動回復できるヒューズ。

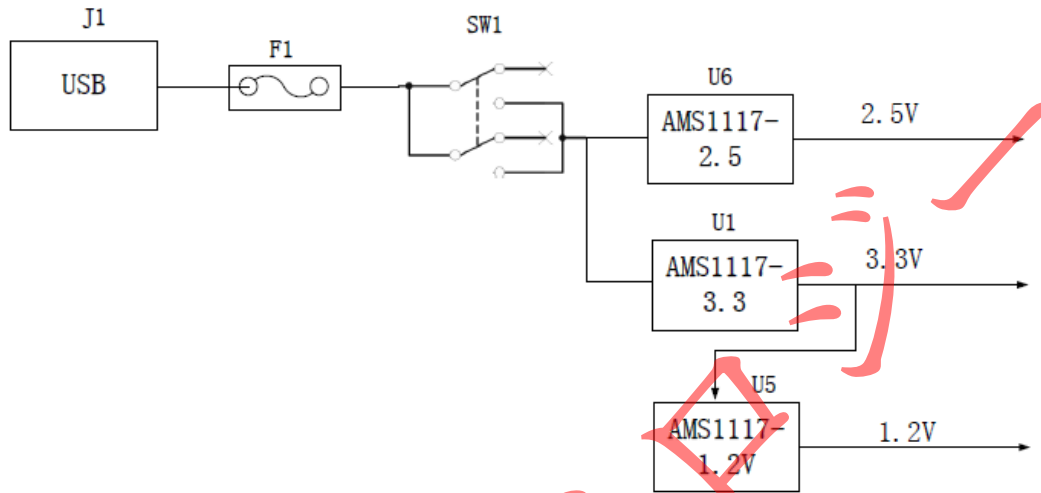


図 2 . 1 電源

三つの LDO 電源チップ 1117-1.2, 1117-3.3, 1117-2.5 で、開発ボードに必要な安定的な電源が提供できる。そして、PCB を設計する時、4 層の PCB を採用して、独立の電源層と GND 層を保留している。これで、開発ボードの電源が安定になれる。

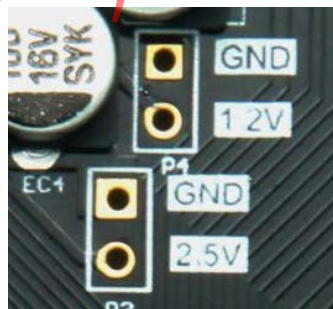


図 2 . 2 電源テスト用

3 FPGA

本開発ボードで使用している EP4CE6F17C8 型番の FPGA は ALTERA 会社の CYCLONE IV シリーズの製品である。この型番は BGA でパッケージで、256 個のピンがある。ここで、FPGA ピンの意味をもう一度説明する。たくさんの製品に使用している FPGA は BGA パッケージではない、例えば、144 ピンと 208 ピンの FPGA チップ、これらのピン定義は 1 から 144, 1 から 208 などの数字で構成する。しかし、BGA パッケージのチップを使用している時、ピンの定義は アルファベット+数字 の形になり、例えば E3、G3 など。だから、回路図を見る時、アルファベット+数字 の形式で FPGA ピンを表示する。これを説明した上で、FPGA に関する各部分の機能を説明する。図 3.1 は開発ボードに使用している FPGA チップの実物図である。



図 3.1 FPGA チップ

3.1 JTAG インタフェース

まず、FPGA の二つ重要なインタフェースを説明する。一つは JTAG インタフェース、もう一つは AS インタフェース。

JTAG インタフェースの役割はコンパイルできたプログラム (. sof) を FPGA にダウンロードする。FPGA は ram の構造なので、内部に FLASH がない、なので、JTAG インタフェースによってダウンロードしたプログラムは、電源切るとなくなるので、電源を接続して再ダウンロードしなければならない。

図 3.2 は JTAG インタフェース部分の回路図で、その中 TCK、TDO、TMS、TDI の 4 つの信号は FPGA ピンから直接引き出されている。

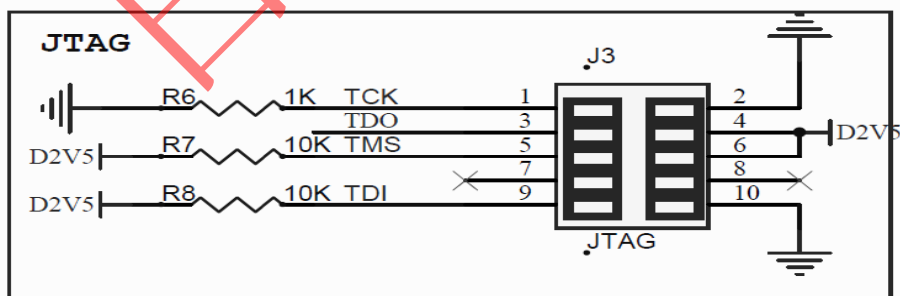


図 3.2 JTAG インタフェース部分の回路図

3.2 コンフィグチップ M25P16

M25P16（あるいはEPCS16）は 16Mbit 容量のシリアル FLASH チップ。FPGA 中のプログラムをメモリするには、この容量は十分余裕です。NIOS II のアプリケーションもメモリできる。FPGA 設計中に重要な役割になる。

図 3 . 3 は M25P16 部分の回路図。

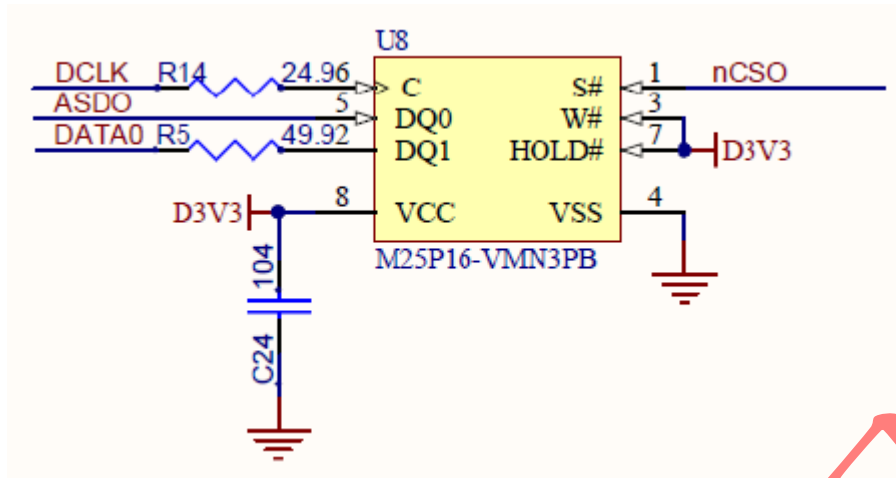


図 3 . 3 M25P16 部分の回路図

コンフィグチップのピンアサイン：

ピンの名前	FPGAピン
ASDO	C1
DCLK	H11
nCSO	D2
DATA0	H2

3.3 FPGA の給電ピン

次は、FPGA の電源ピン部分について説明する。中に bank ごとの電源ピンとコア電圧ピンを含む。図 3 . 6 のように、VCCINT は FPGA カーネル給電ピン、1.2V と繋がる。VCCIO1 は FPGA の BANK1 の給電ピン、それと同じように、VCCIO2 は FPGA の BANK2 の給電ピン、VCCIO3…VCCIO8 は FPGA それぞれの BANK を対応して、すべて 3.3V の電圧と繋がる。つまり、対応の FPGA ピンは全て 3.3V で入力と出力する。特別なニーズがある場合、例えば、ある BANK のピンが DDR2 のような 1.8V のデバイスを接続すると、対応な BANK の供給電圧ピンを 1.8V に設置しなければならない。具体的には、FPGA チップのデータシートをご参照ください。

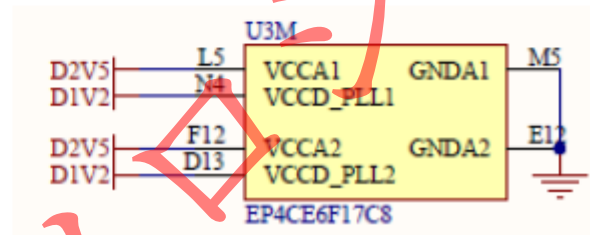
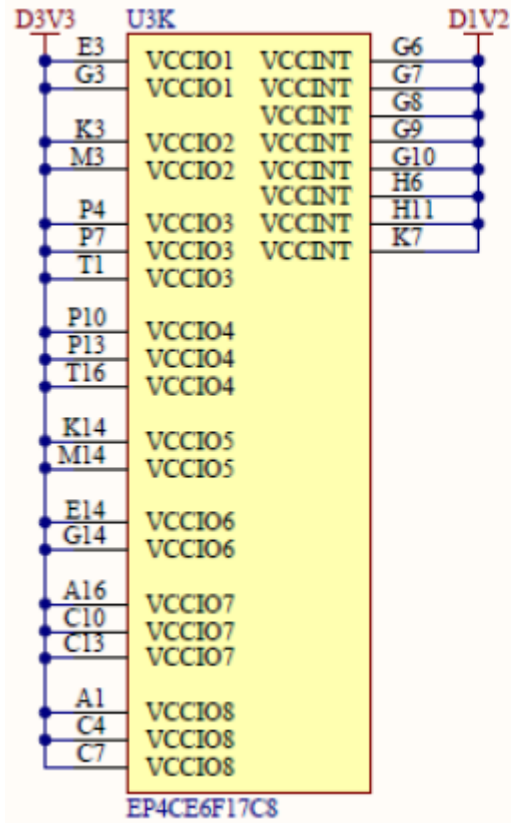


図 3 . 4 FPGA 電源ピン

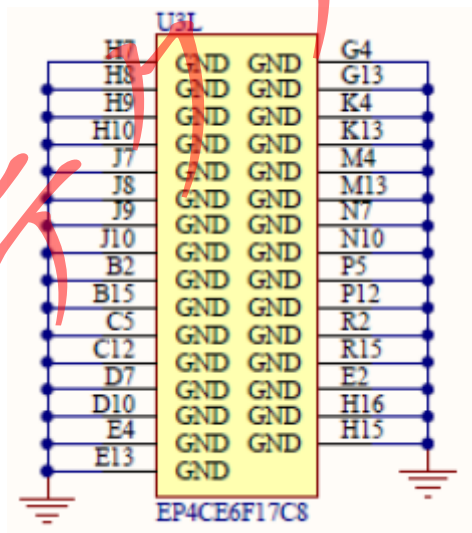


図 3 . 5 FPGA GND ピン

4 50M 水晶発振器

図 4. 1 は上記説明した開発ボードにクロックを提供する 50M 水晶発振器で、FPGA の E 1 ピンを使用している。図 4. 2 はの水晶発振器実物図。

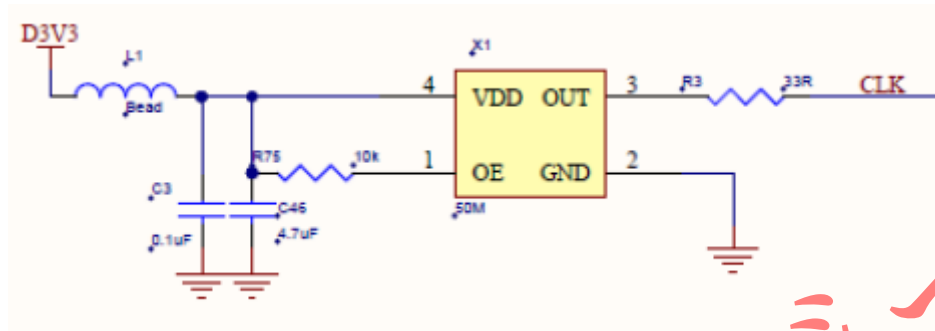


図 4. 1 50M の水晶発振器



図 4. 2 50M 水晶発振器の実物図。

クロックピンのアサイン：

ピンの名前	FPGAピン
CLOCK	E1

5 SDRAM

開発ボードに型番 HY57V2562GTR の SDRAM を搭載。容量は 256Mbit(16M*16bit)、16bit バス。SDRAM は FPGA システムの中にパソコンのメモリのような役に相当して、FPGA システムのキャッシュエリアで、一時的にデータをメモリする。NIOS II ソフトコアを使用するとき、利用するリソースが多くて、FPGA 内部の ONCHIP RAM だけでは足りない。なので、SDRAM はシステムの「メモリー」として、システム全体の安定動作を保障する。

接続方式は下記図 5.1 のように。

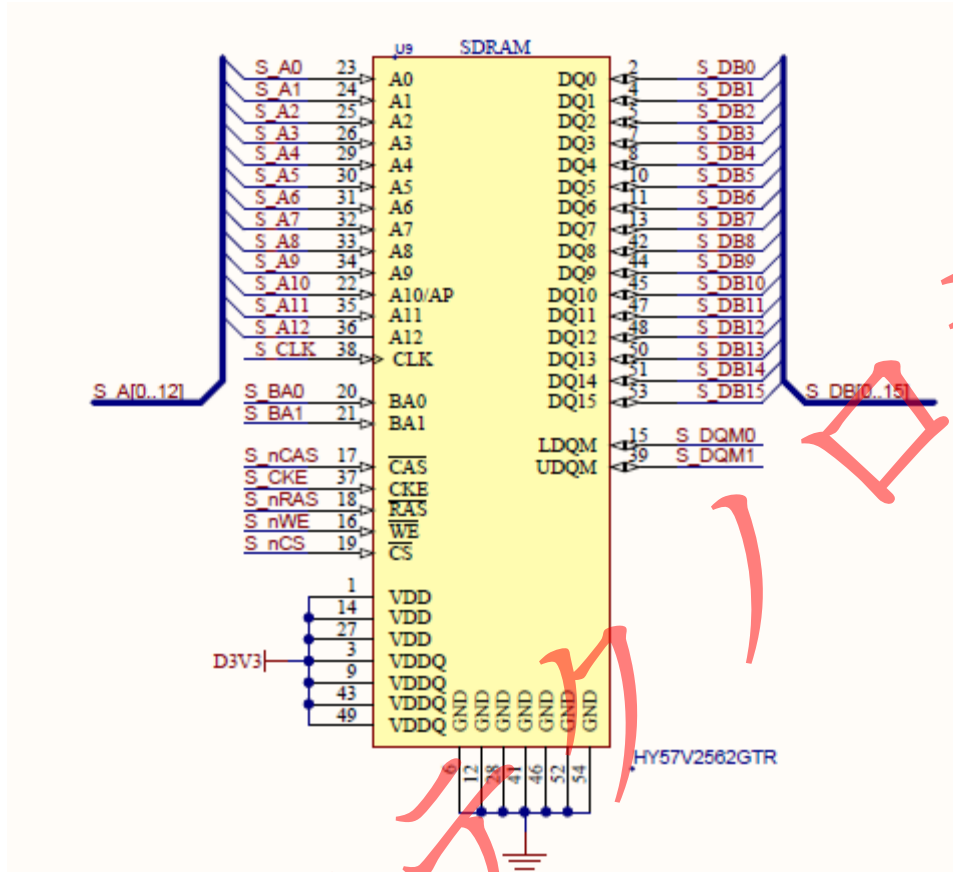


図 5.1 SDRAM 部分の回路図

図 5.2 は SDRAM の実物図



図 5.2 SDRAM の実物図

SDRAM のピンアサイン：

S_CLK	B14
S_CKE	F16
S_NCS	K10
S_NWE	J13
S_NCAS	J12
S_NRAS	K11
S_DQM<0>	J14
S_DQM<1>	G15
S_BA<0>	G11
S_BA<1>	F13
S_A<0>	F11
S_A<1>	E11
S_A<2>	D14
S_A<3>	C14
S_A<4>	A14
S_A<5>	A15
S_A<6>	B16

S_A<7>	C15
S_A<8>	C16
S_A<9>	D15
S_A<10>	F14
S_A<11>	D16
S_A<12>	F15
S_DB<0>	P14
S_DB<1>	M12
S_DB<2>	N14
S_DB<3>	L12
S_DB<4>	L13
S_DB<5>	L14
S_DB<6>	L11
S_DB<7>	K12
S_DB<8>	G16
S_DB<9>	J11
S_DB<10>	J16
S_DB<11>	J15
S_DB<12>	K16
S_DB<13>	K15
S_DB<14>	L16
S_DB<15>	L15

6 EEPROM 24LC04

本開発ボードに一枚の型番 24LC04、容量 4Kbit (2 * 256 * 8bit) の EEPROM を搭載している。二つ 256byte の block で構成して、IIC バスによって通信する。図 6 . 1 は EEPROM の回路図。

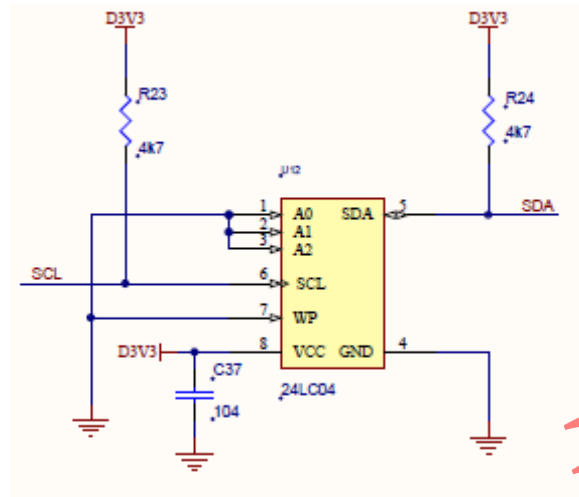


図 6 . 1 EEPROM の回路図部分

図 6 . 2 EEPROM の実物図

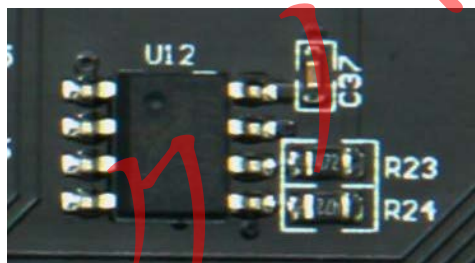


図 6 . 2 EEPROM の実物図

EEPROM のピンアサイン :

SDA	E6
SCL	D1

7 リアルタイムクロック DS1302

開発ボードに一つの型番 DS1302 のリアルタイムクロック RTC チップを搭載している。2099 年までのカレンダーを提供する。年月日時分秒と週がある。システム中に時間が必要な場合、RTC が製品にかかわる。クロックチップに正確なクロック源を提供するために、外部に 32.768KHz のパッシブクロックを接続しなければならない。これで RTC が製品に正確なクロック源を提供できる。そして、製品の電源を切っても、リアルタイムクロックが正常に動作できるように、一つのバッテリーを準備してクロックチップに給電する必要。図 8 . 1 の中に U7 はバッテリー台座で、ボタン電池（型番 CR1220、電圧 3 V）を入れると、システムがパワーダウンしても、ボタン電池が DS1302 に給電できる。このように、製品に電源があってもなくても、DS1302 が正常に動作できて、連続的な時間情報を提供する。図 7 . 1 は DS1302 の回路図。

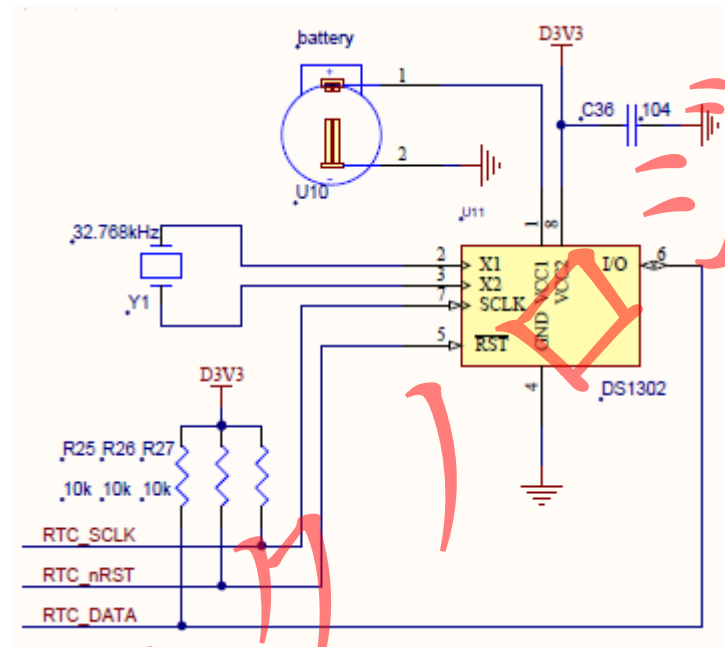


図 7 . 1 DS1302 の回路図

図 7 . 2 は DS1302 の実物図。



図 7 . 2 DS1302 の実物図。

DS1302 インタフェースのピンアサイン：

RTC_SCIK	P16
RTC_nRST	N8
RTC_DATA	M8

8.8 セグメントディスプレイ

セグメントディスプレイはよく使われる表示装置で、普通は7セグメントディスプレイと8セグメントディスプレイがあり、ふたつの違いはただ七7セグメントディスプレイより8セグメントディスプレイは一つの「.」が多い。

本開発ボードで搭載しているのは6位一体の8セグメントディスプレイで、その構造図は8.1のように：

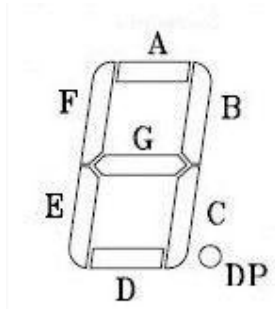


図8.1 セグメントディスプレイの構造

こちら使用しているのはアノードコモンLEDで、あるセグメント対応のピンが低レベル時、相応するセグメントは明るくなって、それに対して、高レベルの時、点灯しない。

六位一体セグメントディスプレイはダイナミック表示に属する。人間の視覚時間差と発光ダイオードの残光効果により、各セグメントは同時に点灯しなくても、スキャンの速度が十分速いなら、人間はそれがきらきらではなく一つの安定的な表示効果と見える。

六位一体セグメントディスプレイの同じセグメントが一つに繋がっていて、合わせて8つのピンがあり、そして6つのコントロール信号ピンを加えて14つのピンになる。

図8.2のように、DIG[0..7]はセグメントのA、B、C、D、E、F、G、H（DP）を対応して、SEL[0..5]は6つセグメントのコントロールピンである。それも低レベルの時に有効になって、つまり、コントロールピンが低いレベルになっているとき、対応のセグメントが給電電圧があり、これでデジタル管が明るくなる。

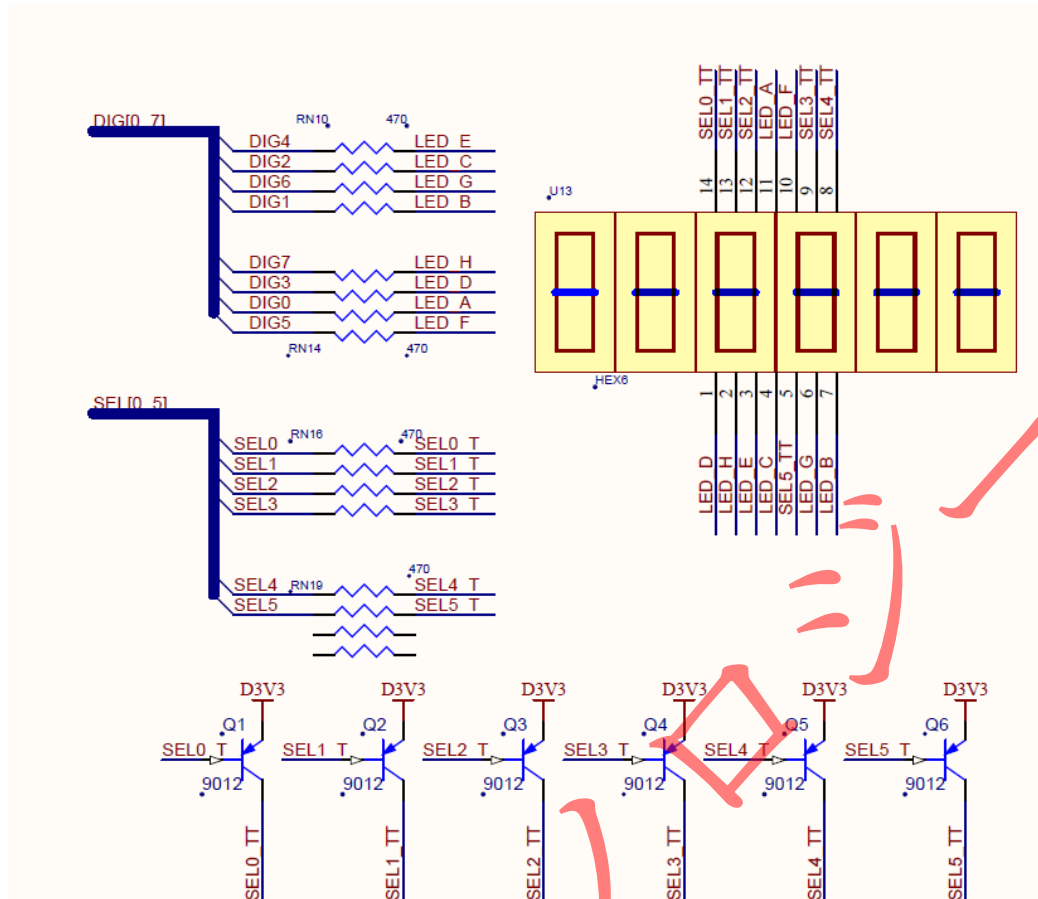


図 8.2 セグメントディスプレイの回路図

図 8 . 3 セグメントディスプレイの実物図



図 8 . 3 セグメントディスプレイの実物図

セグメントディスプレイのピンアサイン

ピンの名前	FPGA ピン	説明
DIG[0]	R14	セグメントAに対応する
DIG[1]	N16	セグメントBに対応する
DIG[2]	P16	セグメントCに対応する
DIG[3]	T15	セグメントDに対応する
DIG[4]	P15	セグメントEに対応する
DIG[5]	N12	セグメントFに対応する
DIG[6]	N15	セグメントGに対応する
DIG[7]	R16	ドットDPに対応する
SEL[0]	M11	右から1番目の8SEG LED
SEL[1]	P11	右から2番目の8SEG LED
SEL[2]	N11	右から3番目の8SEG LED
SEL[3]	M10	右から4番目の8SEG LED
SEL[4]	P9	右から5番目の8SEG LED
SEL[5]	N9	右から6番目の8SEG LED

9 USB からシリアルへの変換

Silicon Labs 社の CP2102GM を搭載。
回路図は図 9.1 のように

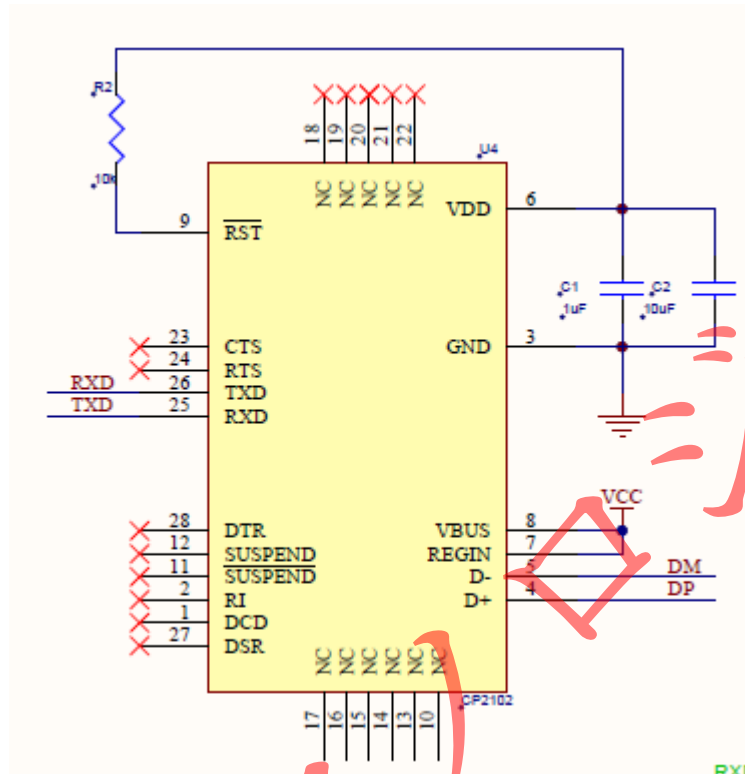


図 9.1 USB からシリアルへ変換の回路図

図 9.2 は USB からシリアルへ変換の実物図

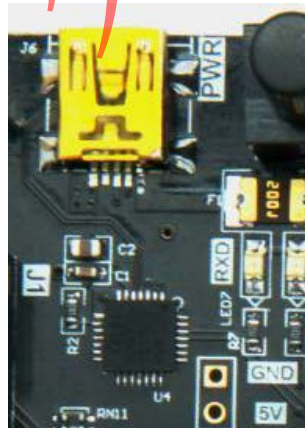


図 9.2 USB からシリアルへ変換の実物図

シリアル信号に 2 つの led(LED7, LED8) を搭載、シリアルポートにデータの送信と受信を示す。図 9.3 のように、

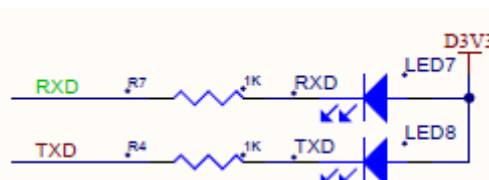


図 9.3 USB からシリアルへ変換の信号 LED

シリアルピンのアサイン：

RXD	M2
TXD	N1

株式会社日昇テクノロジー

10 VGA インターフェース

VGA インターフェースはディスプレイ設備に一番重要なインタフェースで、巨大な CRT ディスプレイ時代から、VGA インターフェースがよく使用されて、今まで利用されている。D-Sub インターフェースとも呼ばれる。

VGA インターフェースは D 型インタフェースで、合計 15 ピンがあり、3 行に分けて、1 行に 5 つピンがある。重要なのは 3 本の RGB カラー信号と 2 本のスキャン同期信号の HSYNC&VSYNC ピンである。

1、2、3 のピンはそれぞれ赤・緑・青の三原色模擬電圧で、0～0.714V peak-peak（ピーク-ピーク値）である。0V は無色、0.714V は満色を代表する。一部分の非標準ディスプレイは 1Vpp の満色電圧レベルを使用している。

三原色ソース側と端末側マッチング電気抵抗はすべて 75 オームである。図 10.1 のように。

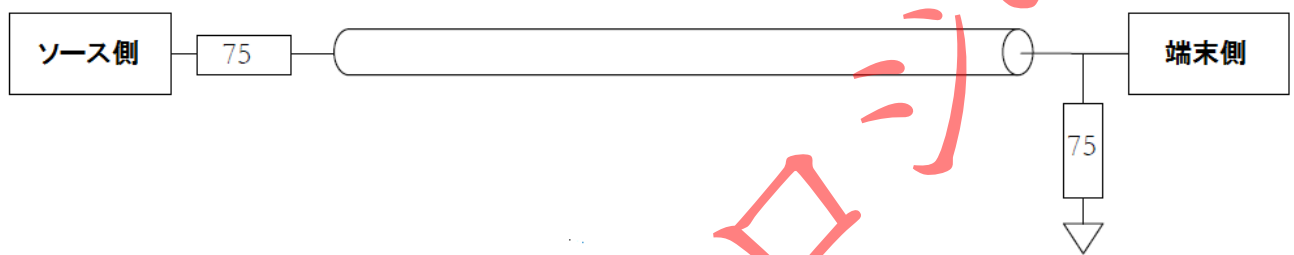


図 10 . 1 VGA ビデオ信号の通信イメージ図

HSYNC と VSYNC はそれぞれ水平同期信号と垂直同期信号、TTL 電圧レベルである。

VGA インターフェースの回路図は図 10.2 のよう：

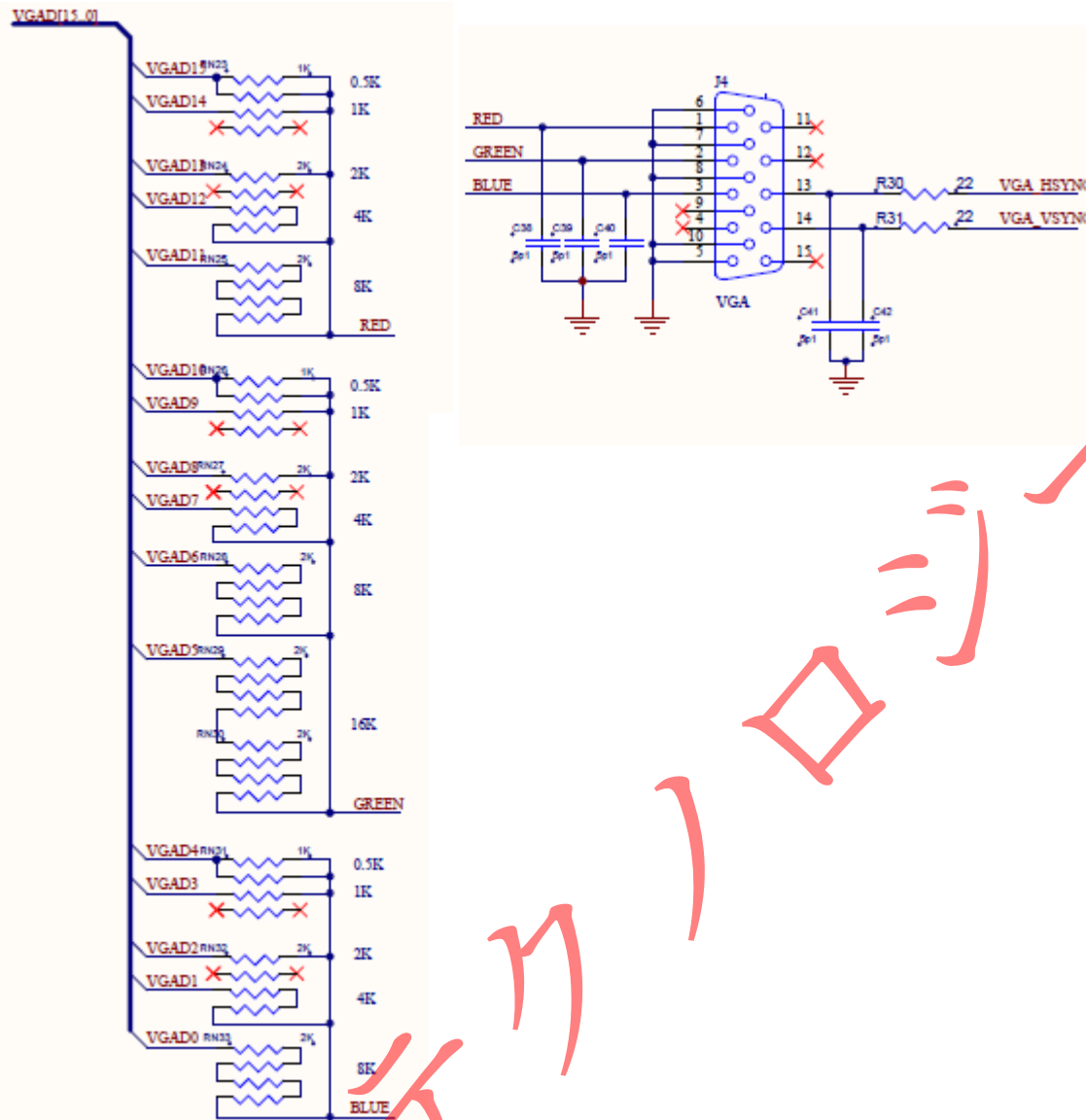
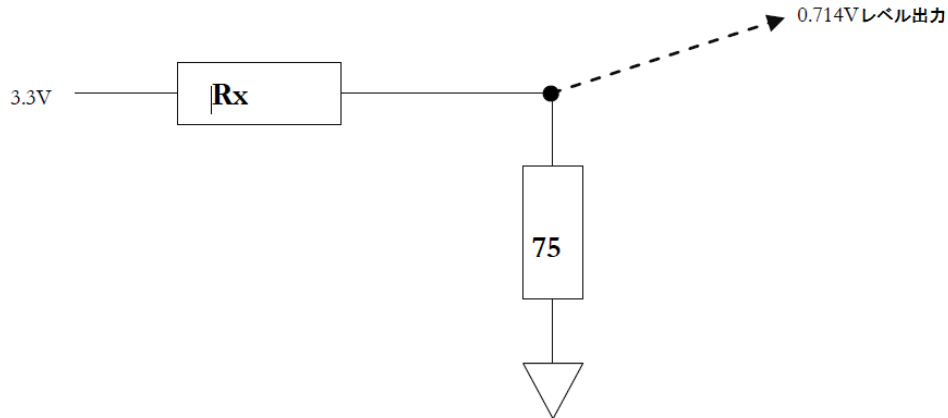


図 10 . 2 VGA インターフェイス部分の回路図

FPGA はデジタル信号しか出力できない。VGA に必要な R、G、B は全部アナログ信号だから、デジタルからアナログまでの変換、つまり DAC 効能が必要である。DAC ビデオを実現するために専用のチップを利用するには高いので、ここで R-2R を利用してビデオ DAC にする。テスト結果から見れば、満足できる表示効果になっている。画面がはっきりして、色もそのまま表示できる。もちろん、要求高い場合は専用の DAC チップを利用しなければならない。

16bit 真カラー表示は $2^{16}=65536$ 種類の色が表示できる。RGB のビット数はそれぞれ 5:6:5 で、つまり、赤色は 5 位、緑色は 6 位、青色は 5 位で表示する。ここで赤色 5 位で R-2R の選択について説明する。

DAC は線形のモデルだから、赤色 5bit 全て高レベルを出力するとき、0.714V の電圧が必要になり、位相のトポロジー図は 10.3 のよう:



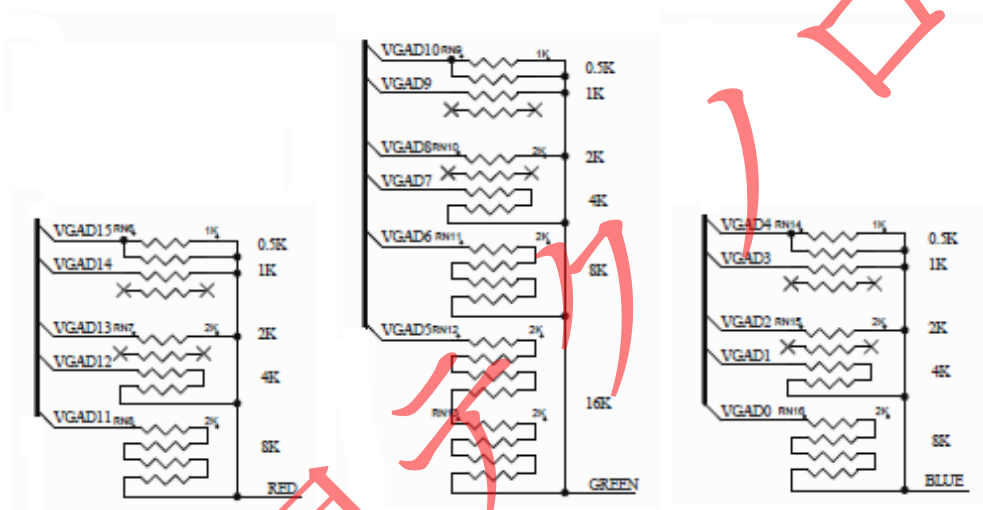
FPGA の出力電圧は 3.3V で、Rx は 5bit R-2R から得られるから、下記の数式が成立する。

$$(R_x + 75) / 3.3 = 75 / 0.714 \quad (1)$$

基準抵抗は Ra とすると、

$$R_a // 2R_a // 4R_a // 8R_a // 16R_a = R_x \quad (2)$$

(1)と(2)によって、 $R_x=271.6$ 、 $R_a=526.2$ になる。だから、500、1k、2k、4k、8k を選択して抵抗ネットワークにする。抵抗の一致性を保証するために、1K と 2K の形式を選択する。図 12.4 のように。



図は 10 . 4 VGA RGB のカラー分量図

図 10 . 5 は VGA のインターフェース実物図



VGA インターフェースのピンアサイン

VGA_D[0]	C3	BLUE[0]
VGA_D[1]	D4	BLUE[1]
VGA_D[2]	D3	BLUE[2]
VGA_D[3]	E5	BLUE[3]
VGA_D[4]	F6	BLUE[4]
VGA_D[5]	F5	GREEN[0]
VGA_D[6]	G5	GREEN[1]
VGA_D[7]	F7	GREEN[2]
VGA_D[8]	K8	GREEN[3]
VGA_D[9]	L8	GREEN[4]
VGA_D[10]	J6	GREEN[5]
VGA_D[11]	K6	RED[0]
VGA_D[12]	K5	RED[1]
VGA_D[13]	L7	RED[2]
VGA_D[14]	L3	RED[3]
VGA_D[15]	L4	RED[4]
VGA_HS	L6	水平同期信号
VGA_VS	N4	垂直同期信号

11 ブザー

ブザーはトランジスタによってコントロールしている。低レベル時、トランジスタ通電して、ブザーが鳴り、高レベル時、トランジスタは締めて、ブザーが鳴らない。便利性を考えて、ブザーと FPGA の間にジャンパー（CB1）を加えて、ブザーの音が嫌い時、ジャンパー（CB1）を取ればいい。

回路図は 11.1 のように。

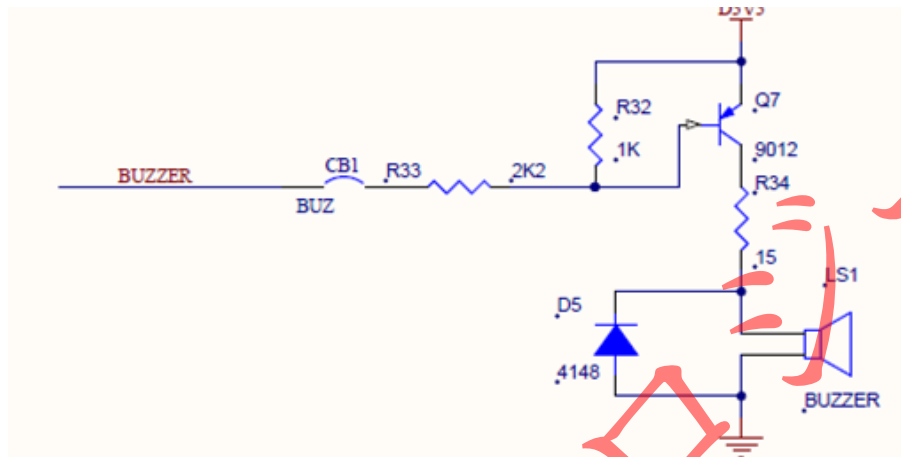


図 11.1 ブザーの回路図

図 11.2 はブザーの実物図、黄色のはブザーと FPGA ピンを繋がるジャンパーである。ブザーが鳴ってほしくないなら、抜けばいい。



図 11.2 ブザーの回路図

ブザーピンのアサイン

BUZZER	C11
--------	-----

12 SD カードスロット

SD カード (Secure DigitalMemoryCard) は現在の消費デジタルデバイスの中に最も広く利用されてるメモリーデバイスである。本開発ボードで拡張した SD カードは SPI モードと SD モードをサポートする。回路図は下記図 12.1 のように。

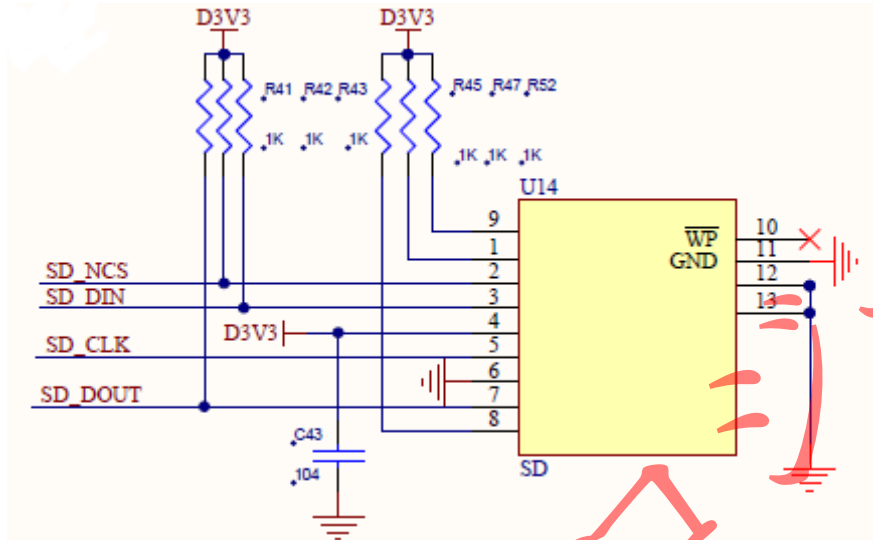


図 12.1 SD カード部分の回路図

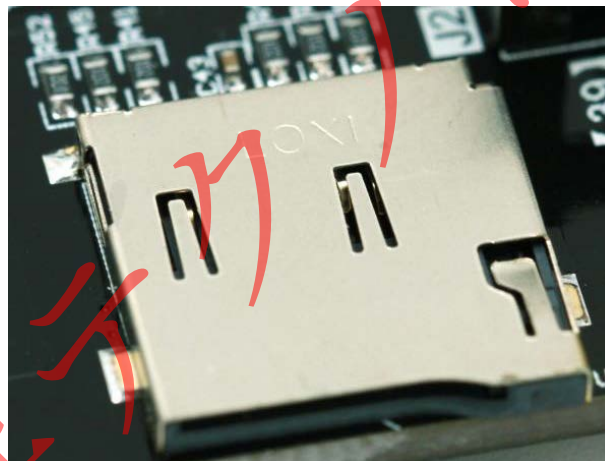


図 12.2 SD カードスロットの実物図

SD カードスロットピンアサイン (SD モード)

SD_NCS	D11
SD_DIN	F10
SD_CLK	D12
SD_DOUT	E15

13 拡張インタフェース

開発ボードは二つの拡張インタフェースを予備している。40 ピンがあり、この中、5V の電源が 1 つ、3.3V の電源が 2 つ、GND が 3 つ、IO ポートは 34 個である。これらの IO ポートは全て独立 IO 口であり、ほかのインタフェースと共用していない。IO ポートの電圧レベルは TTL3.3V で、焼損しないように、使用している時、5V のデバイスと直接繋ないではいけない。5V のデバイスと接続する場合、レベル変換チップを繋がないといけない。

拡張インタフェース J1、J2 図 13.1 のように

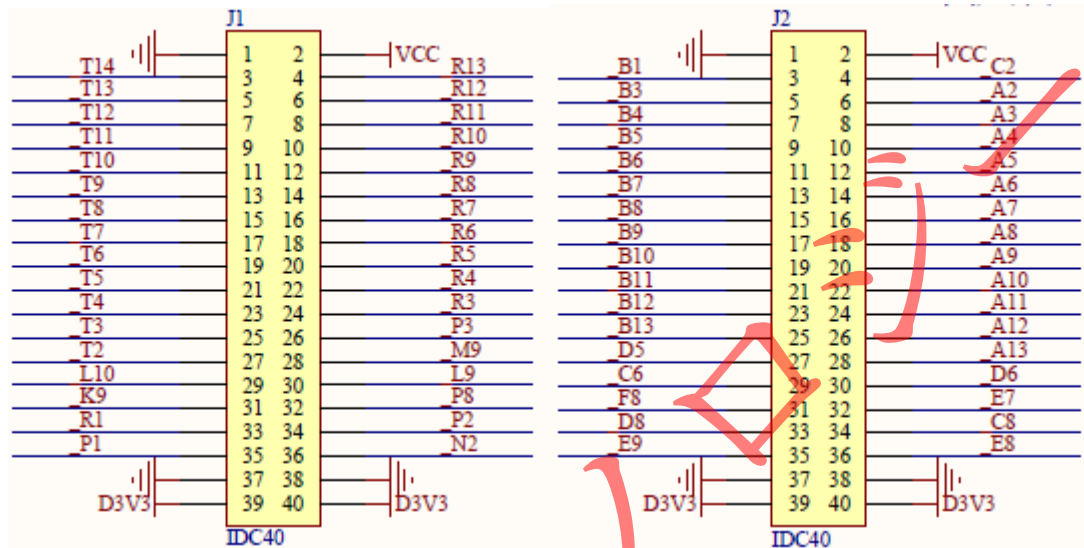


図 13.1 J1/J2 拡張インタフェースの回路図

図 13.2 は J1/J2 拡張インタフェースの実物図である：

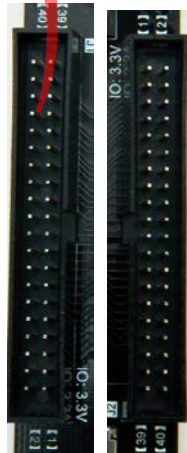


図 13.2 J1/J2 拡張インタフェース実物図

J1 拡張インタフェースピンアサイン

ピン番号	FPGAピン	ピン番号	FPGAピン
1	GND	2	VCC5V
3	T14	4	R13
5	T13	6	R12
7	T12	8	R11
9	T11	10	R10
11	T10	12	R9
13	T9	14	R8
15	T8	16	R7
17	T7	18	R6
19	T6	20	R5
21	T5	22	R4
23	T4	24	R3
25	T3	26	P3
27	T2	28	M9
29	L10	30	L9
31	K9	32	P8
33	R1	34	P2
35	P1		N2
37	GND	38	GND
39	D3V3	40	D3V3

J2 拡張インタフェースピンアサイン

ピン番号	FPGAピン	ピン番号	FPGAピン
1	GND	2	VCC5V
3	B1	4	C2
5	B3	6	A2
7	B4	8	A3
9	B5	10	A4
11	B6	12	A5
13	B7	14	A6
15	B8	16	A7
17	B9	18	A8
19	B10	20	A9
21	B11	22	A10
23	B12	24	A11
25	B13	26	A12
27	D5	28	A13
29	C6	30	D6
31	F8	32	E7
33	D8	34	C8
35	E9	36	E8
37	GND	38	GND
39	D3V3	40	D3V3

14 LED

本開発ボードに4つのLED発光ダイオードがあり、高レベル時LEDが点灯し、低レベル時点灯しない、回路図は14.1のように

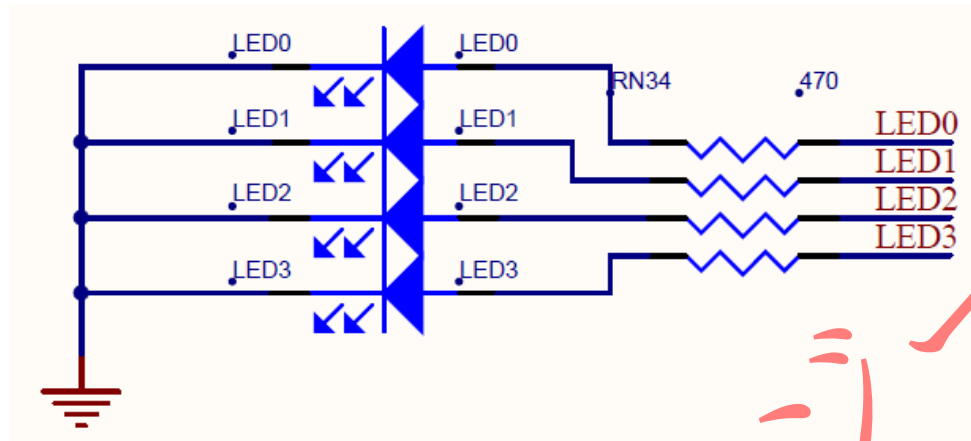


図 14.1 LED の回路図

図 14.2 はLED 実物図



図 14.2 4つのLED 実物図

LED ピンアサイン

LED0	E10
LED1	F9
LED2	C9
LED3	D9

15 キー

本開発ボードに4つの独立キーがあり、RESET キー一つと三つのユーザーキーである。低レベルの時有効になる。回路図は15.1のように。

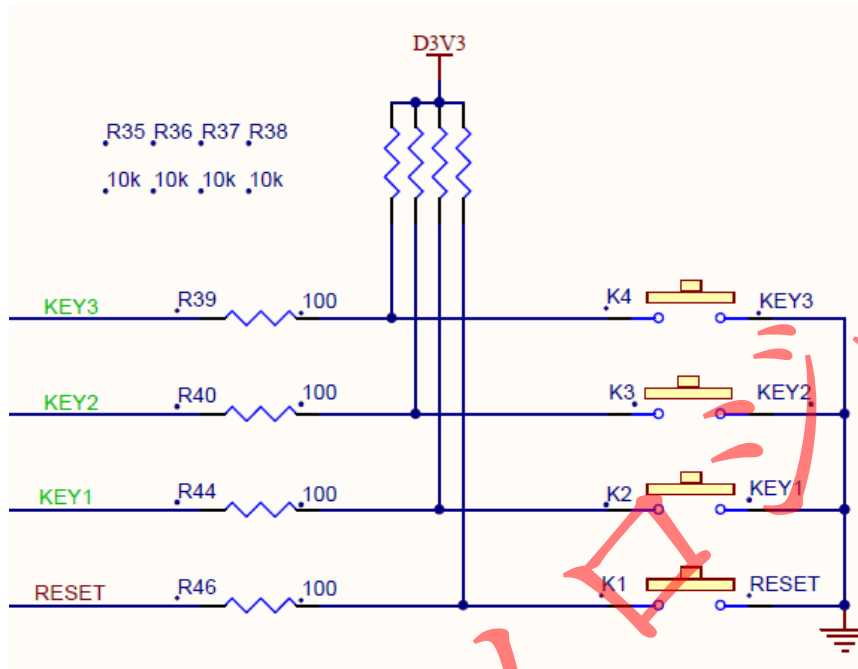


図 15.1 4つの独立キー回路図

図 15.2 4つの独立キー実物図



ボタンピンアサイン

RESET	N13
KEY1	M15
KEY2	M16
KEY3	E16

16 カメラのインタフェース

本開発ボードは CMOS カメラモジュールのインタフェースを搭載している。[0V7670 のカメラモジュール](#)と接続できて、ビデオ採集機能を実現する。採集した画像を TFT 液晶モニターや VGA インタフェースを通じてディスプレイで表示する。[0V7670 のカメラモジュール](#)画素は 30W で、出力解像度は 640*480。

回路図は図 16.1 のように、

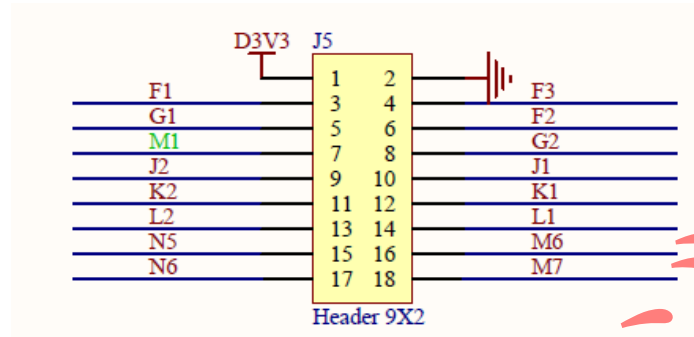


図 16.1 カメラインタフェースの回路図

実物図は図 16.2 の通り (カメラモジュールはオプションとして別売)

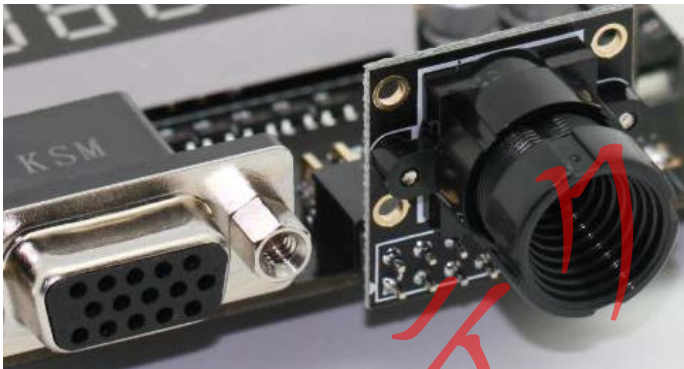


図 16.2 カメラインタフェースの実物図

カメラインターフェースのピンアサイン：

PIN No.	FPGA PIN	OV7670カメラモジュール
PIN1	+3.3V	+3.3V
PIN2	GND	GND
PIN3	F1	CMOS_SCL
PIN4	F3	CMOS_SDA
PIN5	G1	CMOS_VSYNC
PIN6	F2	CMOS_HREF
PIN7	M1	CMOS_PCLK
PIN8	G2	CMOS_XCLK
PIN9	J2	CMOS_D7
PIN10	J1	CMOS_D6
PIN11	K2	CMOS_D5
PIN12	K1	CMOS_D4
PIN13	L2	CMOS_D3
PIN14	L1	CMOS_D2
PIN15	N5	CMOS_D1
PIN16	M6	CMOS_D0
PIN17	N6	-
PIN18	M7	-

17.7 インチ TFT-LCD インタフェース

本開発ボードは7インチのTFT液晶インタフェース(拡張I/Fと共用)を搭載している。このインターフェースと直結できるTFT液晶モデルの型番はAT070TN83である。このTFT液晶は800 * 3 (RGB) × 480の解像度で、18bitのRGBインタフェースである。接続図は17.1のように、

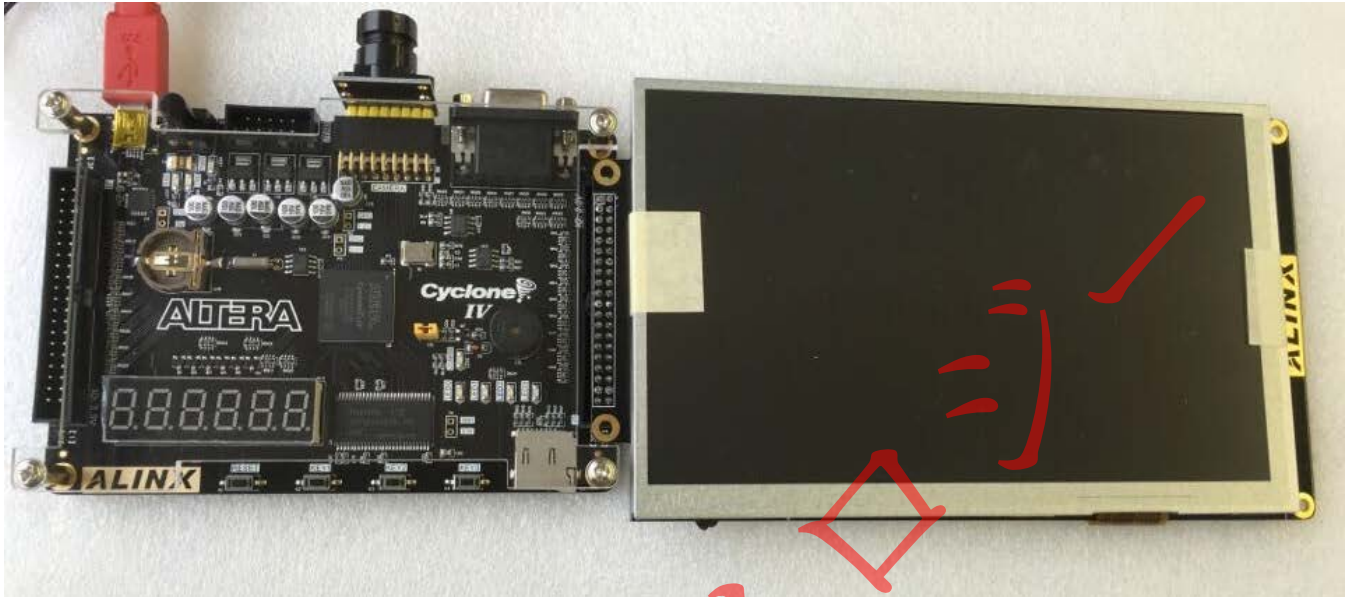
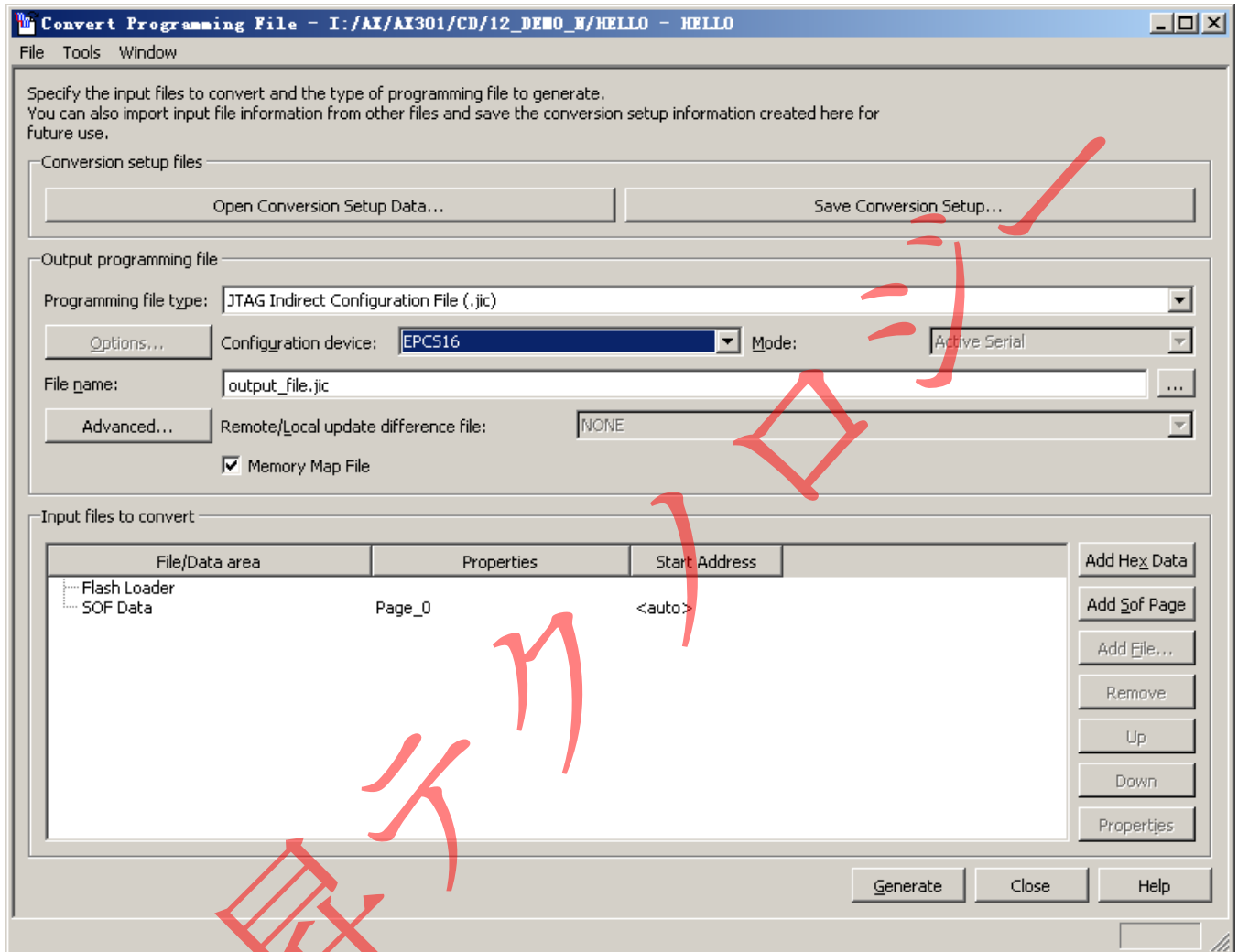


図 17. 1 開発ボードと7インチTFT-LCDの接続実物図

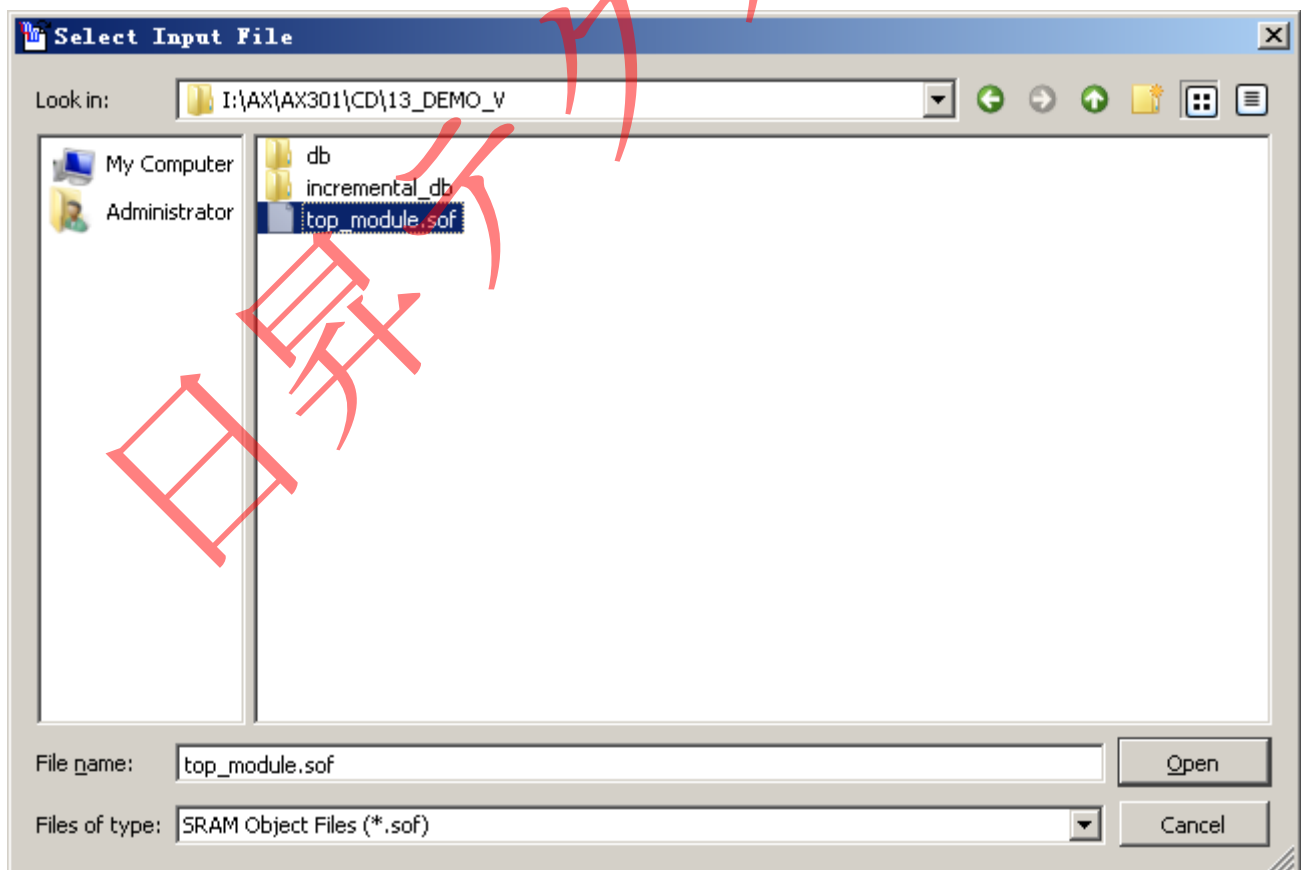
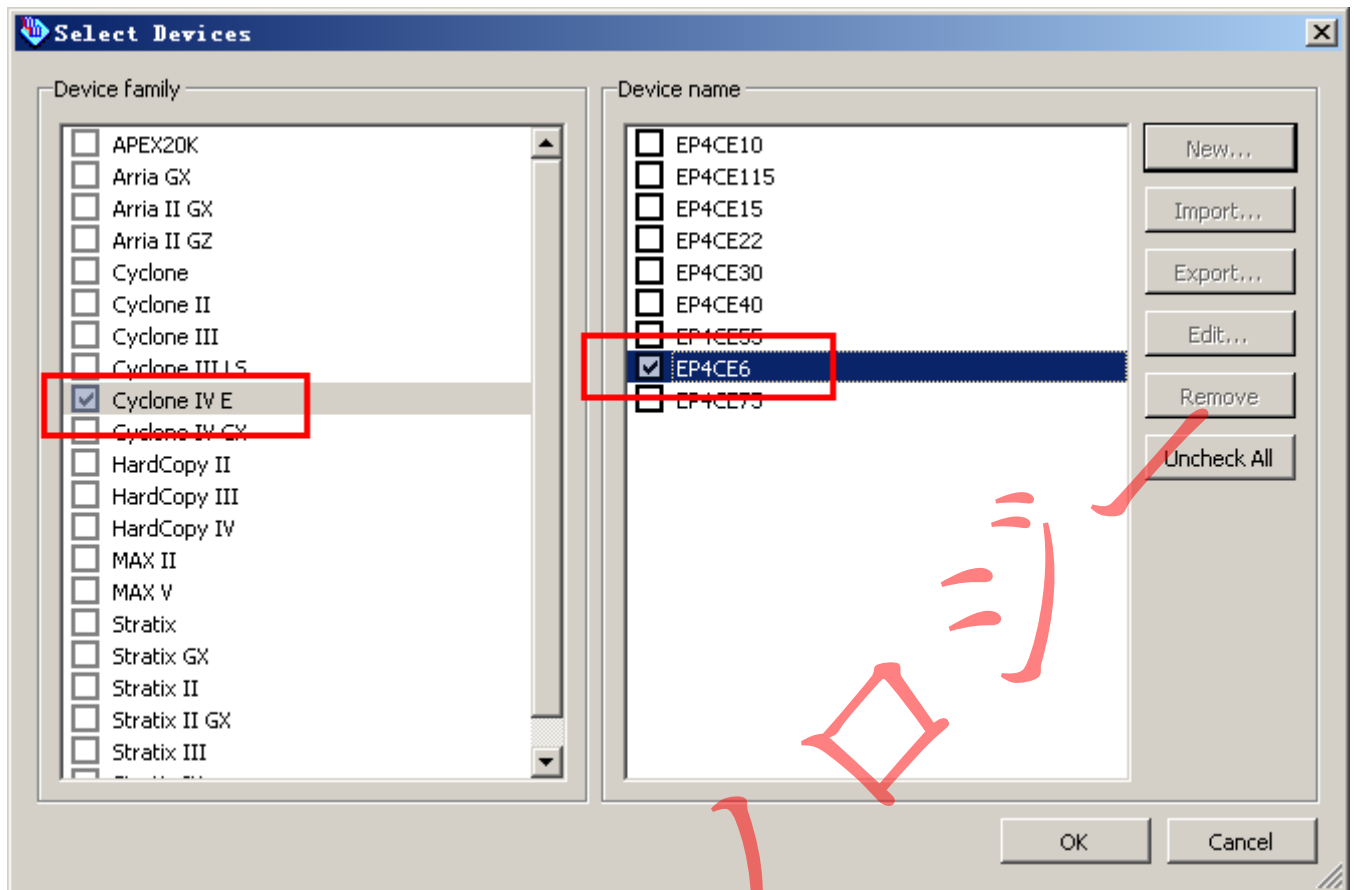
18 JTAG インタフェースで EPCS にダウンロードする手順

ステップ1、ファイル変換

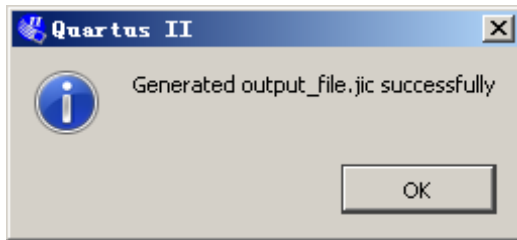
Quartus IIのFile->Convert Programming Files..をクリックして、プログラミングファイル変換ツールを起動する：



Programming file type:の所で「JTAG Indirect Configuration File (.jic)」を選択する。
Configuration device: の所でEPCSの型番を選択する。ここはEPCS16。
Input file to convertの所でFlash Loaderをクリックして、Add Device..をクリックする。
下記図の様にEP4CE6(実際のFPGA型番によって選択する)を選択して、SOF Dataを選択してAdd File..
をクリックする。

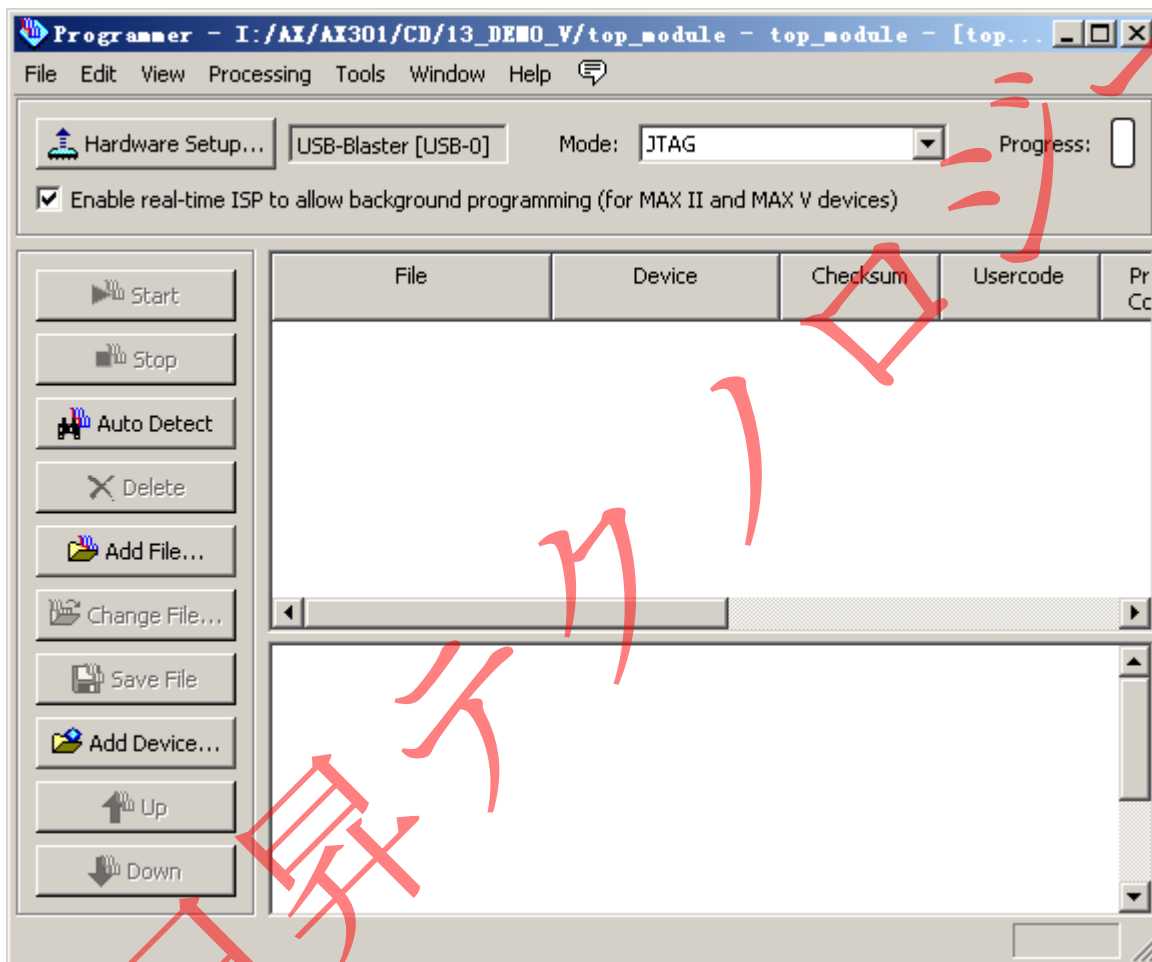


Generateをクリックしてjicファイルを生成する。成功した場合下記情報が表示する：

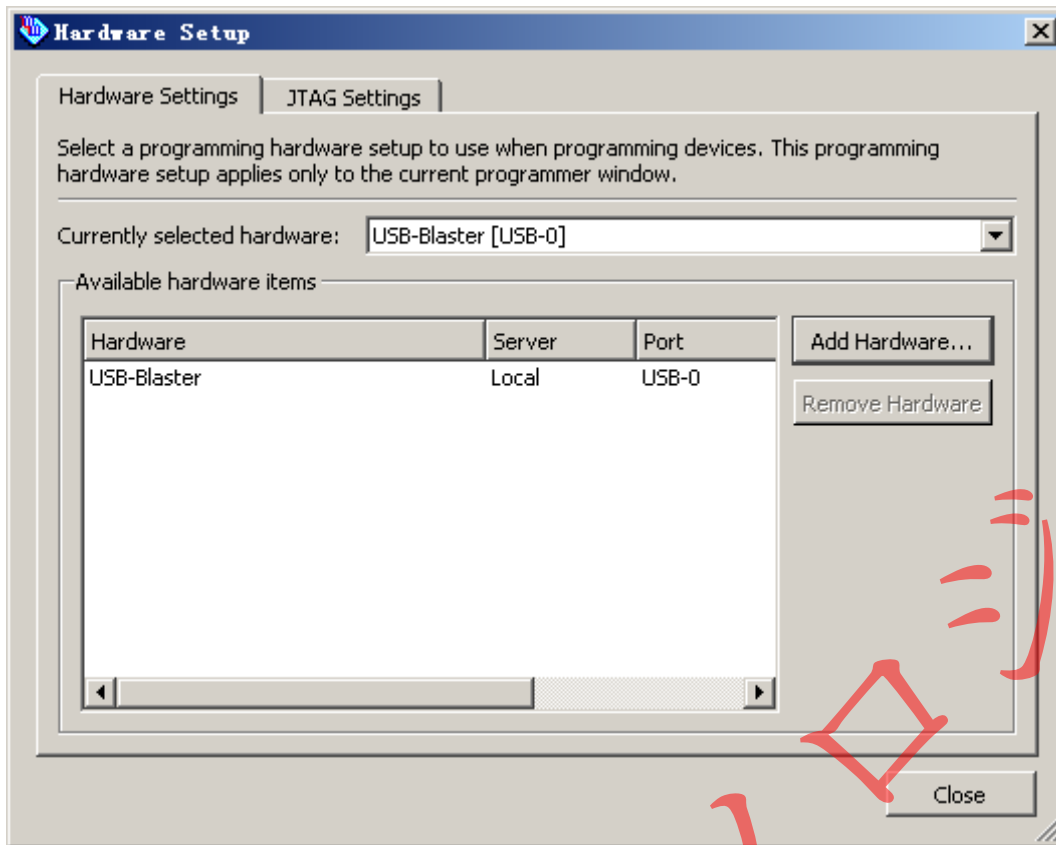


ステップ2、ダウンロード

Quartus IIのTools->Programmerをクリックして、ダウンロードインタフェースになる：



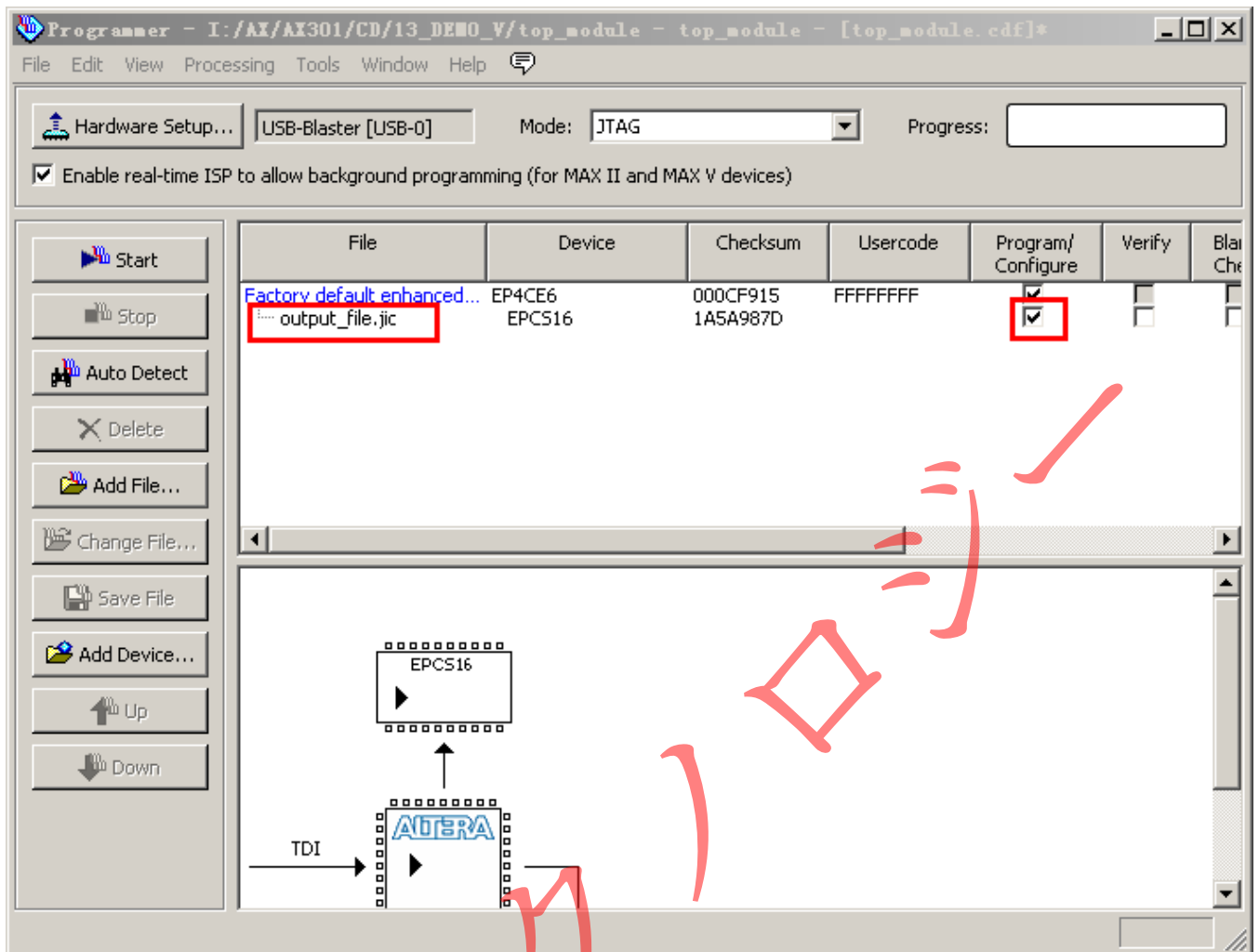
Hardware Setupをクリックして、ダウンロードケーブルを選択する。



USB-Blasterをダブルクリックして選択する。

ダウンロードインタフェースに戻る。

led_water.sofをクリックしてChange File..をクリックする。ステップ1で変換したoutput_file.jicファイルを選択する。追加後下記図の様に設定する：



Startをクリックしてダウンロードする。完了後、開発ボードを再起動するとダウンロードしたプログラムが実行される。

以上。