

Modelsim 入門

株式会社日昇テクノロジー

http://www.csun.co.jp

info@csun.co.jp

作成日:2012/8/13

copyright@2012



• 修正履歴

NO	バージョン	修正内容	修正日
1	Ver1.0	新規作成	2012/8/13

- ※ この文書の情報は、文書を改善するため、事前の通知なく変更されることがあります。最新版は弊社ホームページからご参照ください。
 「<u>http://www.csun.co.jp</u>」
- ※(株)日昇テクノロジーの書面による許可のない複製は、いかなる形 態においても厳重に禁じられています。



低価格、高品質が不可能? 日昇テクノロジーなら可能にする

Modelsim SE 10.0.c 入門

弊社のCycloneIVボードに使われるQuartus 11とModelsim10.0cを利用して、Modelsim SE 10.0.cの使い方を簡単に説明します。

株式会社日昇テクノロジー

Quartus10以降のバージョンは波形シミュレーションソフトウェアを含まれません、シミュ レーションを行いたい場合、他のツール、例えば、Modelsim、インストール必要です。 では、Quartus11にはModelsim 10.0cの呼び出し方及びtestbenchの書き方を説明します。 Modelsim 10.0c評価版ダウンロードURL:

32bit:

http://www.dragonwake.com/download/FPGA/EP4CE15/modelsim-win32-10.0c-se.exe
64bit:

<u>http://www.dragonwake.com/download/FPGA/EP4CE15/modelsim-win64-10.0c-se.exe</u> カウンタを例として説明します。

前提:Quartus 11とModelsim 10.0cをインストール済

1. プロジェクトを新規時に以下通り設定

					Show in 'Availa	able devices' list		
Family Cyclon	e IV E			×	Package:	Anv		~
					rageger. Phys	120		
Devices: All				× 1	Pin gount: 256	256	Y	
Faruet device					Speed grade:	Any		~
Specific dev Other n/a	rice selected in 'Availa	able device	s' list			compatible only		
zailable devices:								
Name	Core Voltage	LES	User I/Os	Memor	ry Bits En	nbedded multiplier 9-bit elements	PLL	al Cl 🗠
P4CE15F17C6	1.2V	15408	166	516096	112		4	20
P4CE15F17C7	1.2V	15408	166	516096	112		4	20
D4CE15E17C8	11.2V	115408	166	1516096	112		4	20
	1.09	15408	166	516096	112		4	20
P4CE15F17C8L	1.07		166	516096	112		4	20
P4CE15F17C8L P4CE15F17C9L	1.0V	15408		FICONC	4.400			
P4CE15F17C8L P4CE15F17C9L P4CE15F17I7	1.0V 1.0V 1.2V	15408 15408	166	516096	112		1	20
P4CE15F17C8L P4CE15F17C9L P4CE15F17I7 P4CE15F17I8L	1.0V 1.0V 1.2V 1.0V	15408 15408 15408	166 166	516096 516096	112		4	20
P4CE15F17C8L P4CE15F17C9L P4CE15F17I7 P4CE15F17I7 P4CE15F17I8L	1.0V 1.2V 1.0V	15408 15408 15408	166 166	516096 516096	112		4	20
24CE15F17C8L 24CE15F17C9L 24CE15F17C9L 24CE15F17I7 24CE15F17I8L	1.0V 1.0V 1.2V 1.0V	15408 15408 15408	166 166	516096 516096	112		4	20
24CE15F17C8L 24CE15F17C9L 24CE15F17C9L 24CE15F17I7 24CE15F17I8L Companion devi	1.0V 1.0V 1.2V 1.0V	15408 15408 15408	166 166	516096 516096	112		4	20





New Project Vizard

EDA tools:				
Tool Type	Tool Name	Format(s)		Run Tool Automatically
Design Entry/Synthesis	<none></none>		2	Run this tool automatically to synthesize the current design
Simulation	ModelSim	/erilog HDL	~	Run gate-level simulation automatically after compilation
Timing Analysis	<none></none>	<none></none>	1.4	Run this tool automatically after compilation
Formal Verification	Riviera-PRO	1000		
Board-Level	McdelSim McdelSim-Altera	<none></none>	~	
	QuestaSim	<none></none>	~	
	VCS MX	<none></none>	~	
		<none></none>	~	

シミュレーションソフトウエアと言語により選択:

Tool Name : Modelsim

Fomat:Verilog HDL

カウンタプログラム「count128.v」を以下通り作成します。

module count128(clk.rst_n,divclk,data);

Input clk.rst_n;

output divclk;

output)7:0] data;

reg[7:0] data;

assign divclk:data[7).

always@(posedge clk or negedge rst_n)

if(!rst_n)

begin

data<=8' h00;

end

else

begin



data<=data+1' b1;

 end

endmodule

プログラムで周波数を128に分ける機能を実現

シミュレーションテスト用ファイルtestbenchの作成方法は下記です。





ここまでtestbenchのテンプレートを作成されました、生成されたファイルは.vtです、プ ロジェクトフォルダーの「simulation¥modelsim」であります。





```
テンプレート内容:
 'timescale lps/lps
module count128_vlg_tst();
//constants
//general purpose registers
reg eachvec;
//test vector input register
reg clk;
reg rst_n;
//wires
wire[7:0] data;
wire divclk;
//assign statements {if any}
count128 i1{
//port map-connection between master ports and signals/registers
        .clk{clk},
        . data {data},
        .divclk{divclk},
       .rst_n{rst_n}
};
initial
begin
//code thata executes only once
//Insert code here->begin
//->end
$display{ "Running testbench" };
end
always
//optional sensitivity list
//@{event1 or event2 or ... eventn}
begin
//code executes for ervery event on sensitivity list
//insert code here->begin
```



```
@eachvec;
//->end
end
endmodule
メモ:
a)全て入力の変数がreg型、出力がwire型
b) for, whileのような形式があっても良い
count128.vファイル内容により、testbenchは下記のように修正:
 'timescale 1ps/1ps
module count128_vlg_tst();
//constants
//general purpose registers
reg eachvec;
//test vector input register
reg clk;
reg rst_n;
//wires
wire[7:0] data;
wire divclk;
//assign statements {if any}
count128 i1{
//port map-connection between master ports and signals/registers
       .clk{clk},
       .data{data},
       .divclk{divclk},
       .rst_n{rst_n}
};
initial
begin
c1k=1;
rst_n=0;
#50 rst_n=1;
#100000 $finish
end
```



always #2 clk=~clk;

endmodule

変数クロックclkとrst_nだけに値を設定してもよい

次はプロジェクトの設定を行う

Quartusからmodelsimを呼び出し、以下のように設定





General	EDA Tool Options				
Hava Tool Opbons Fonts Headers & Footers Settings Internet Connectivity Libraries Libraries	Specify the location of the tool executable for each third-party EDA tool:				
	EDA Tool	Location of Executable			
	LeonardoSpectrum				
Preferred Text Editor	Precision Synthesis				
Tooltip Sattings	Synplify				
Messages	Synalify Pro				
Colors	Active-HDL				
Fonts Faxt Editor	Riviera-PRO				
Colors	ModelSim	D:/modaltech 10.0c/win32			
FUNCS	QuestaSim				
	ModelSim-Altera				
	NCSIM				
	Use Nativel ok w	ith a Symplify Symplify Dynmyde Jorked Irense			

※Modelsimの場所はインストール先により異なる

シミュレーション設定:



Project	Assignments	Processing To	ols <u>W</u> indow	Help 💎
3 X	Device		Ctrl+S	hift+E
	TimeQues	t Timing Analyzer <u>y</u>	<u>V</u> izard	(#
3.v	 Assignmer Pin Planne Remove A Back-Anno Import Assignmer Assignmer 	nt Editor r ssignments state Assignments. signments signments	Ctrl+S	hift+A sount hift+N lk, rs livel [7:0] dat livel (pose n)
	🔒 LogicLock	Regions Window rtitions <u>W</u> indow	Alt+L Alt+D	h00;

🖉 Settings - count	
Category:	
General Files Ubraries Operating Settings and Conditions Voltage Temperature Complication Process Settings Eact Tool Settings Design Entry/Synthesis Design Entry/Synthesis Design Entry/Synthesis Formal Verfication Board-Level Analysis & Synthesis Settings VHDL Input Default Parameters Fitter Settings TimeQuest Timing Analyzer Assembler Design Assistant SignalTap (I Logic Analyzer Logic Analyzer Interface ProverBay Power Analyzer Settings SSN Analyzer	Simulation Specify options for generating output files for use with other EDA tools. [ood name: ModelSim Rug gate-level simulation automatically after compilation EDA Notlist Writer settings Corner for output nettsi: Verilog HDL Output girectory: Emulation/modelsin Map ilegal HDL characters Options for Power Estmation Generate Value Charge Dump (VCD) file script Settings Design justance name: More EDA Notlist Writer Settings NativeLink settings Nagre © Compile test bench:



Category:	2 Test Benches	X						
General Files Libraries	Specify settings for each test bench.							
E Operating Voltag Tempe E Compilatio Early Incren	Existing describerion settings: Name Top Level Module Design Instance Run For	Test Bench Fle(s) Edt Delete						
Fear Test B ate new test be t bench name: level module in Use test bench Design instance mulation period	ench Settings	CK Cancel Heb						
y gra smalladb set banch files Je name: simul File Name	Lation/modelsim/count128.vt Add Library HDL Yersion Bemove Up Down Properties	Test Benches						



低価格、高品質が不可能? 日昇テクノロジーなら可能にする

```
`timescale 1 ps/ 1 ps
module count128 vlg tst();
 reg clk;
 reg rst n;
 // wires
 wire [7:0] data;
 wire divolk;
// assign statements (if any)
🖹 count128 i1 (
 // port map - connection between master ports and s
    .clk(clk),
    .data(data),
    .divelk(divelk),
    .rst_n(rst_n)
-);
 initial
-begin
 clk=1;
 rst n=0;
 #50 rst_n=1;
 #10000 $finish;
 -end
 always #2 clk= ~clk;
 endmodule
```



ategory:	
General Files Deraries Operating Settings and Conditions 	Simulation Specify options for generating output files for use with other EDA tools. Tool pages I kindels in
Completion Process Settings Early Timing Estimate Incremental Completion Physical Synthesis Optimizations	EDA Netlist Writer settings
EDA Tool Settings Design Entry/Synthesis Simulation Timing Analysis Formal Verification	Format for output hetlist: Verlog HDL Ime scale: 1 ps Output directory: simulation/modelsim
Board Level Board Level Analysis & Synthesis Settings WHDL Inout Verlog HDL Input Default Parameters TimeQuest Timing Analyzer Design Assistant SognalTap II Logic Analyzer Logic Analyzer Interface PowerRay Power Analyzer Settings SSN Analyzer	Map Ilegal HDL characters Enable gitch filtering Options for Power Estimation Generate Value Change Dump (VCD) file script Script Settings Design instance name: More EDA Netlist Writer Settings NativeLink settings None
	Compile test bench: Vise script to set up simulation: Vise script to compile test bench: O Script to compile test bench: More NativeLink Settings Reset

コンパイルしシミュレーションを行う



ing 🚺	Tools Window Help 🛡	
coun	Run EDA Simulation Tool	EDA RTL Simulation 🛛 🗗 🚺 🔇
8×2	Run EoA mining Analysis Tool Launch EDA Simulation Library Compiler Launch Design Space Explorer	EDA Gate Level Simulation
¢	j TimeQuest Timing Analyzer	rst_n,divclk,data);
4	Chip Planner (Floorplan and Chip Editor) Design Partition Planner Netlist Viewers]; or negedge rst_n)
	 SignalTap II Logic Analyzer In-System Memory Content Editor Logic Analyzer Interface Editor In-System Sources and Probes Editor 	
8	Programmer Programmer ITAG Chain Debugger Transceiver Toolkit External Memory Interface Toolkit	
е	 Mega<u>Wi</u>zard Plug-In Manager Nios II Software Build Tools for Eclipse SOPC Builder Qsys Tcl Scripts 	
	Customize	





上記結果により、シミュレーションの波形がでます、いくつか波形ボタン(拡大、縮小、 挿入マウス等)を使われます。(赤□に囲まれる)